

Ciencias Físicas: Especialidad de Física Industrial
ELECTRÓNICA II (cód. 075098) MÓDULO VI

TEMA
34

**CONMUTADORES ANALÓGICOS,
MULTIPLEXOS Y
CIRCUITOS DE MUESTREO Y
RETENCIÓN**

- 1. Conmutadores Ideales. Fuentes de Error.**
- 2. Soluciones con Transistores Bipolares y FET**
- 3. Soluciones Integradas**
- 4. Multiplexos**
- 5. Otras Aplicaciones: Control Electrónico**
- 6. Muestreo por un Tren de Impulsos: Teorema de Shannon**
- 7. Influencia del Teorema de Shannon en el Multiplexado Temporal**
- 8. Retenedores**
- 9. Circuitos de Muestreo y Muestreo-Retención**

A.E. Delgado y J. Mira

Dpto. de Inteligencia Artificial

1. Conmutadores Ideales. Fuentes de Error.

Una de las funciones básicas de la electrónica analógica no lineal es la *conmutación analógica*. Sus aplicaciones son muy amplias y van desde el multiplexado de señales analógicas en los sistemas de adquisición de datos hasta la programación digital de ganancias o constantes de tiempo. Su uso cubre todos los campos en donde sea necesario el control electrónico de un conmutador.

La *figura 1* muestra los tres tipos de conmutadores analógicos ideales: *serie*, *paralelo* y *mixto*. En todos ellos hay dos situaciones distinguibles. En el caso serie cuando el conmutador está abierto la salida queda fijada a un valor de referencia constante e independiente de la entrada y cuando está cerrado la salida coincide con la entrada. En la configuración paralelo ocurre lo complementario y en la solución mixta se superponen los dos mecanismos.

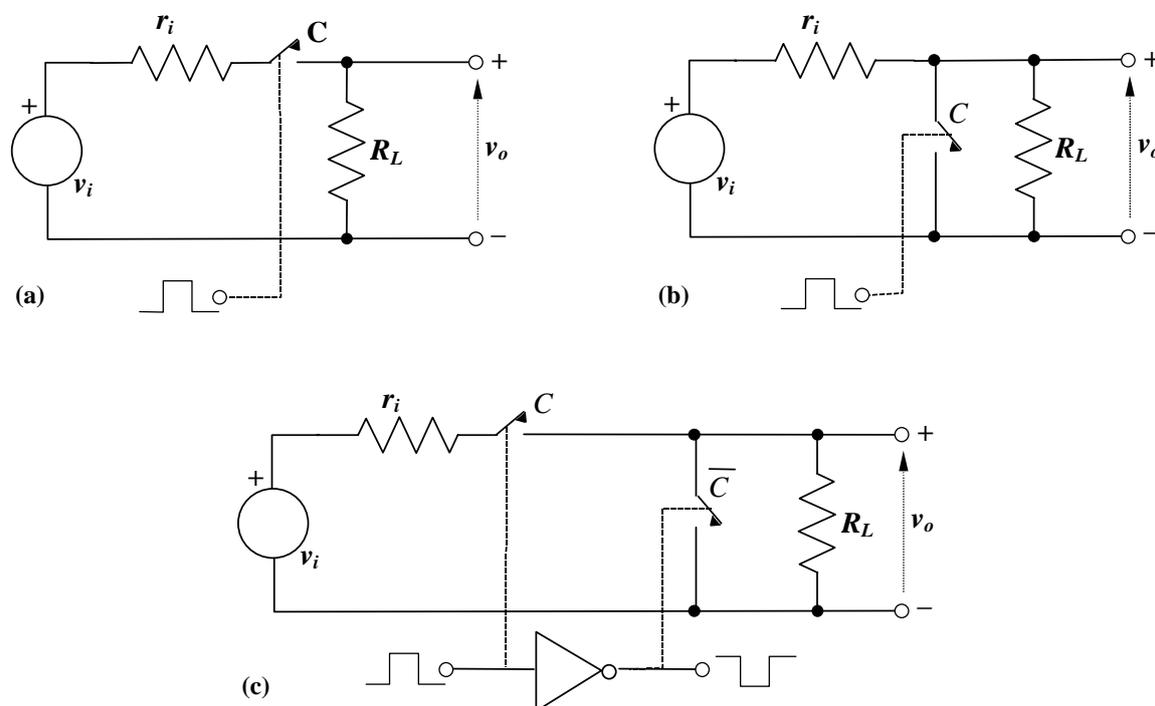


Fig. 1. Distintos tipos de conmutadores: a) Serie. b) Paralelo. c) Mixto

Para su realización física necesitamos un dispositivo con dos valores de impedancia, controlables electrónicamente, y que se acerquen lo más posible a los valores ideales de $R(\text{cerrado}) \approx 0$ y $R(\text{abierto}) \rightarrow \infty$.

Realmente existen tensiones de offset y resistencias finitas, distintas de cero cuando están cerrados y distintas de infinito cuando están abiertos. Esto introduce errores que caracterizan físicamente la calidad del conmutador. La *figura 2* muestra un circuito más próximo al de un conmutador real. Los errores que introduce depende también de los valores de la resistencia de carga (R_L) y de la impedancia de salida de la fuente de señal (r_i). Así, cuando está cerrado (*fig. 2.a*) la salida será:

$$v_o = v_i \frac{R_L}{R_L + r_C + r_i} - v_{os} \frac{R_L}{R_L + r_C + r_i}$$

De forma que para que v_o coincida con v_i debe cumplirse:

$$\left. \begin{aligned} \frac{R_L}{R_L + r_C + r_i} &\approx 1 \\ v_{os} &\approx 0 \end{aligned} \right\} \Rightarrow \begin{cases} r_C \ll R_L, r_i \\ r_i \ll R_L \end{cases}$$

Es decir, la resistencia de carga debe ser mucho mayor que la de la fuente y la correspondiente al conmutador cerrado mucho menor que ambas.

Cuando el conmutador serie está abierto (fig. 2.b.)

$$v_o = v_i \frac{R_L}{R_L + r_A + r_i} \left. \right\} \Rightarrow \{r_A \gg R_L, r_i$$

Es decir, las fuentes de error cuando el conmutador está abierto son el bajo valor en r_A y el alto valor en R_L y r_i .

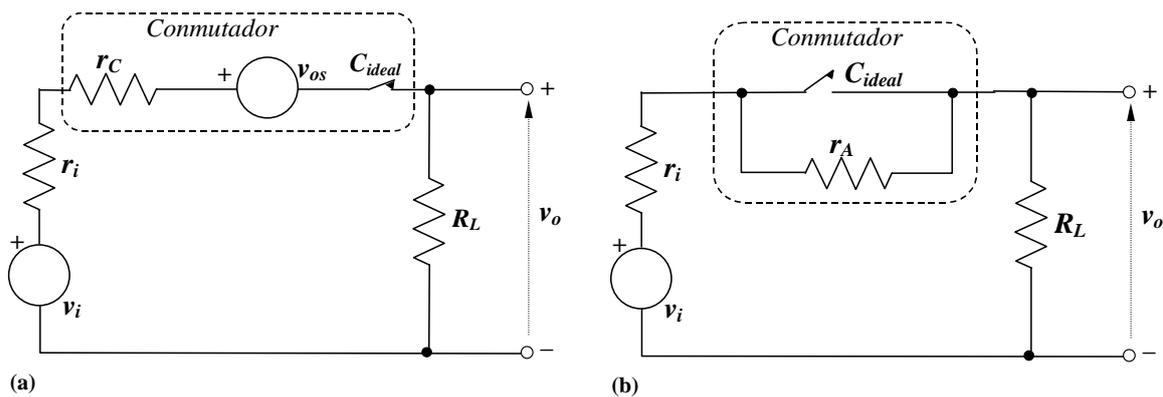


Fig. 2. Influencia de las tensiones de offset y del valor finito de las resistencias en la separación del comportamiento de los conmutadores reales del caso ideal. a) Cuando el conmutador está cerrado. b) Cuando el conmutador está abierto.

Desde el punto de vista dinámico, un conmutador real se caracteriza por la existencia de un cierto retardo en el seguimiento de las órdenes de apertura y cierre.

Hay muchas formas de implementar conmutadores analógicos: relés electromecánicos, transistores bipolares y de efecto campo y soluciones integradas en tecnología MOS, CMOS y BIFET. Los conmutadores a relé son prácticamente ideales pero son lentos y de corta vida, por eso es mejor usar soluciones con transistores o circuitos integrados siempre que la aplicación lo permita.

2. Soluciones con Transistores Bipolares y FET

La figura 3.a muestra el esquema de conexión de un transistor bipolar en configuración de emisor-común y como conmutador paralelo. Si la magnitud y signo de los

dos niveles de la tensión de control (v_C) son los adecuados, el transistor pasa de *corte* a *conducción* actuando como un conmutador con dos fuentes de error: el *valor finito de la tensión colector-emisor en saturación* y la *corriente de fugas en polarización inversa* cuando el transistor está cortado.

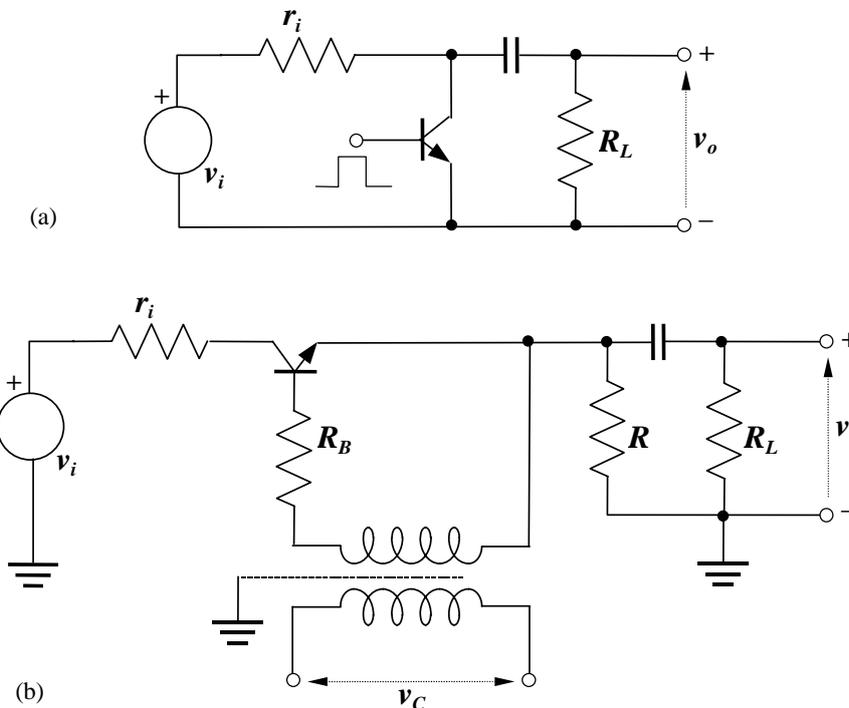


Fig. 3. Esquemas elementales de conmutadores analógicos realizados usando transistores bipolares. a) Conmutador paralelo a partir de una configuración en emisor común. b) Conmutador serie con acoplo por transformador.

Estos errores disminuyen si usamos la configuración en colector-común y aplicamos los impulsos de control entre la base y el emisor. La *figura 3.b* muestra esta conexión para el caso del conmutador serie, en la que es necesario usar un transformador de pulsos para evitar que la señal a conmutar (v_i) se mezcle con la señal de disparo (v_C). El apantallamiento electrostático reduce el acoplo capacitivo entre el transformador y la carga, eliminando así parte de los transitorios de conmutación.

Por su propia estructura interna, los transistores de efecto campo presentan un mejor comportamiento en conmutación en cuanto a tensiones y corrientes de offset. Así, en el estado de conducción no existe prácticamente tensión de offset ya que no hay ninguna unión entre el drenador y la fuente. Sólo existe una resistencia óhmica y de bajo valor ($\leq 100 \Omega$).

Por otro lado, la alta impedancia de la capa de óxido en el MOS y de las uniones PN en JFET hace que la resistencia en el estado de corte sea realmente alta ($> 100 \text{ M}\Omega$, por ejemplo). Una nueva ventaja de los transistores de efecto campo en conmutación es el alto valor de su impedancia de entrada, por lo que se necesita disipar muy poca potencia en el circuito de control.

Las principales limitaciones son las capacidades entre puerta y drenador (C_{GD}) y entre puerta y fuente (C_{GS}), que limitan la velocidad de conmutación y la frecuencia máxima de las señales a conmutar, ya que estas capacidades son vías de paso de la señal de control de la puerta al drenador. La *figura 4* muestra el circuito equivalente de un JFET para señales y la variación de la capacidad equivalente (C_{GD} en serie con C_{GS}) en función de los potenciales de puerta y drenador. En conmutación,

$$Z_{eq} = \frac{X_C \cdot r_{DS}}{X_C + r_{DS}} \quad \text{con} \quad X_C = \frac{C_{GS} + C_{GD}}{C_{GS} \cdot C_{GD}} \frac{1}{j\omega}$$

de forma que a frecuencias altas, X_C pasa a r_{DS} . Es decir, al estar en paralelo la reactancia capacitiva (X_C) y disminuir su valor al aumentar la frecuencia, disminuye la impedancia paralelo del conjunto (X_C, r_{DS}). Por eso capacidades que eran inoperantes a baja frecuencia (porque su reactancia X_C , era mucho más alta que r_{DS}), son dominantes a altas frecuencias, donde r_{DS} mantiene su valor pero X_C disminuye mucho. Recordemos que de dos impedancias en paralelo domina la más pequeña. Así capacidades de 10 pF que no disminuyen la impedancia equivalente del conjunto a baja frecuencia ($X_C \gg 100 \text{ M}\Omega$) son las que disminuyen drásticamente la impedancia al conmutador a alta frecuencia ($X_C \leq 100 \text{ }\Omega$ para $f \geq 100 \text{ MHz}$).

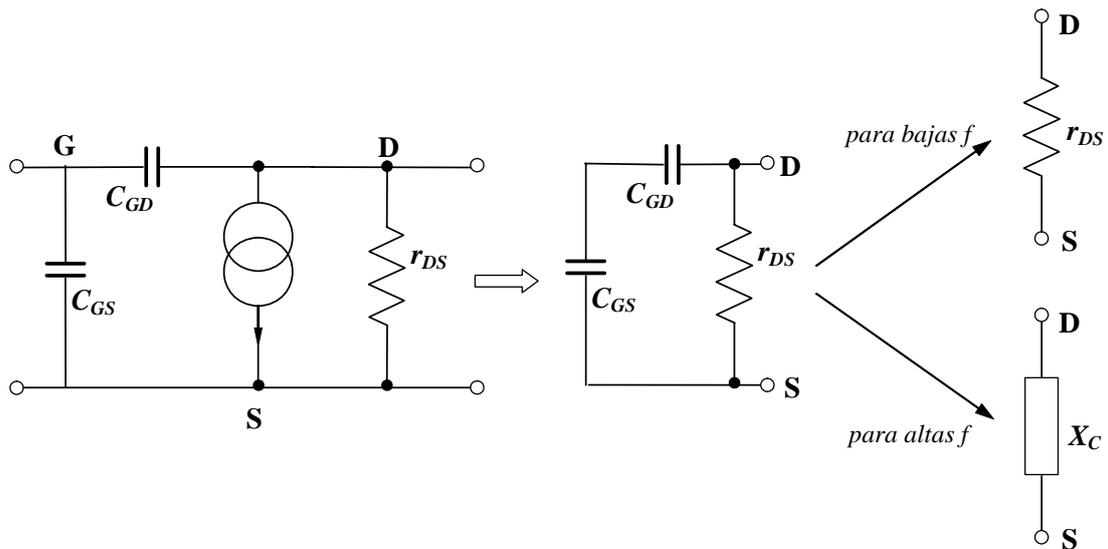


Fig. 4. Circuito equivalente para pequeñas señales del JFET.

El esquema de conexión de un JFET (canal N) como conmutador serie, se muestra en la *figura 5*. El transistor se sitúa entre la fuente de señal y la carga y el control del conmutador se realiza a través de la tensión de puerta, V_{GS} . Recordemos que un transistor JFET canal N conduce para unos valores de V_{GS} comprendidos entre 0 y $-V_p$.

Analicemos los cuatro casos que se nos pueden presentar dependiendo de los valores de v_i y de v_C .

Si la señal de entrada v_i es positiva y suficientemente grande, cuando v_C toma el valor de -10 V , el diodo conduce (entre sus terminales cae aproximadamente $0,7 \text{ V}$.) y la tensión

en la puerta del JFET es del orden de $-0.3V$. Si suponemos despreciable la caída de tensión en la resistencia interna de la fuente de señal, la tensión en S es prácticamente v_i , y la tensión en G es $-0.3V$., con lo que la polarización es la adecuada para que el JFET conduzca, pero en cambio el valor de $|V_{GS}|$ es mayor que $|V_P|$ por lo que el JFET no conduce, presenta alta impedancia y la señal de salida es cero. Cuando la tensión v_C pasa a tomar el valor de $1V$., el diodo pasa a estar polarizado en directa, conduce y $V_G \approx 0.3V$. Si se cumple la condición de que $v_i - 0.3 < V_P$, el JFET conduce, presenta muy baja impedancia y a la salida del circuito aparece la señal de entrada, v_i .

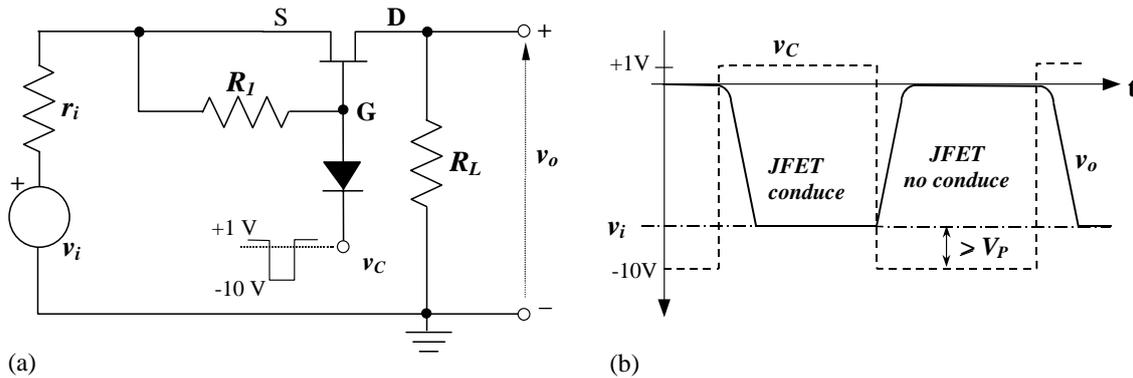


Fig. 5. Conmutador analógico serie implementado con un JFET. a) Circuito. b) Señales de entrada, control y salidas.

Si por el contrario la señal de entrada es negativa (fig. 5.b), cuando la tensión de control, v_C , toma el valor de $-10V$. el JFET no conducirá, siempre que se verifique que $10-v_i \geq V_P$. Cuando la señal de control pasa al valor de $1V$. el diodo no conduce, presenta alta impedancia, y el JFET conducirá, siempre que se verifique que la tensión que cae en R_I sea prácticamente nula, lo cual se asegura tomando un valor suficientemente alto para R_I , de forma que toda la tensión caiga en el diodo. Con $V_{GS} = 0$ el JFET conduce y a la salida aparece la señal de entrada.

Para que el cambio ocurra en zona óhmica, lineal, los valores de la corriente y tensión de drenador deben ser bajos. Para ello necesitamos:

- a) Valor alto en la resistencia de carga ($R_L > 100K\Omega$ por ejemplo).
- b) Bajo rango dinámico en la señal a conmutar $|V_{DS}|$.

La figura 6 ilustra sobre características de salida estos puntos. Obsérvese que idealmente el paso de conducción a corte o viceversa equivale a conmutar la tensión de puerta entre $V_{GS} = -V_P$ y $V_{GS} = 0$.

Volviendo al circuito de la figura 5 y resumiendo, si la tensión de paso de conducción a corte es mayor que el valor máximo de la señal a conmutar (v_i), el diodo D_1 queda polarizado en sentido inverso y un valor alto de R_I asegura que V_{GS} es cero y el dispositivo conduce, presentando baja impedancia ($r_{on |min.}$). Cuando el transistor JFET está cortado ($|V_G| > |V_P|$ para canal N), si se aplica una tensión de entrada ($v_i \equiv V_S$) tal que $|v_i - V_G| < |V_P|$ se le puede llevar a conducción.

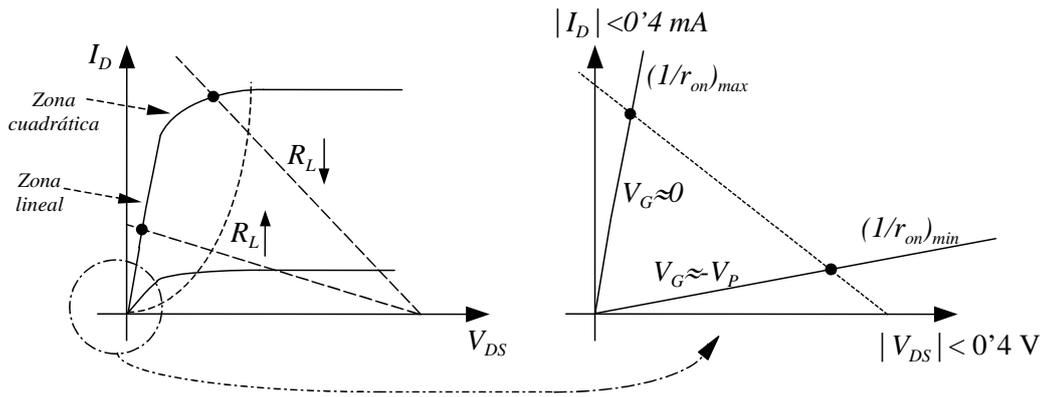


Fig. 6. Ilustración de la función de conmutación realizada por un transistor JFET, trabajando en zona lineal donde funciona como una resistencia de valor variable y controlada por tensión

Siempre que sea posible es conveniente usar conmutadores dobles, *serie y paralelo*, que ofrecen las ventajas de ambos y permiten compensar algunos errores. La principal ventaja es que esta combinación proporciona una vía de baja impedancia para la descarga de las capacidades y mejora la respuesta a alta frecuencia. Lógicamente, las señales de control que van a los transistores serie y paralelo deben estar en oposición de fase, a menos que usemos estructuras CMOS (tipo 2N4351 y 2N4352), en las que un transistor es canal N y el otro canal P. Así, basta con una única señal de control, tal como se muestra en la *figura 7*.

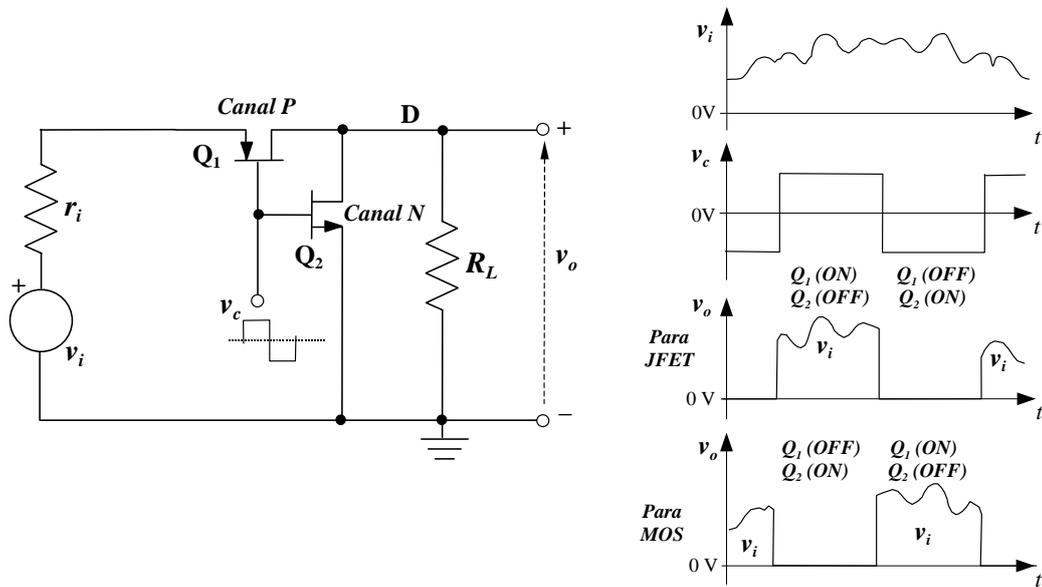


Fig. 7. a) Conmutador doble, serie-paralelo. b) Formas de onda para el caso de que los transistores sean JFET (recordar que en este caso los transistores conducen con $V_G < 0$ para canal N y $V_G > 0$ para canal P) y para el caso de que los transistores sean MOS (en este caso los transistores conducen con $V_G < 0$ para canal P y $V_G > 0$ para canal N).

Una forma de mejorar el comportamiento del circuito de la *figura 5* es añadirle un Amplificador Operacional a la salida, que actúa de buffer, como se muestra en la *figura 8*. Este circuito lleva dos conmutadores analógicos. Las señales de control deben estar en

oposición de fase, de forma que cuando un transistor conduce el otro está cortado y a la salida aparece la señal analógica de entrada correspondiente al transistor que está conduciendo. Mediante el circuito desplazador de tensión DM7800, admite la posibilidad de que la señal de control sea TTL ó DTL

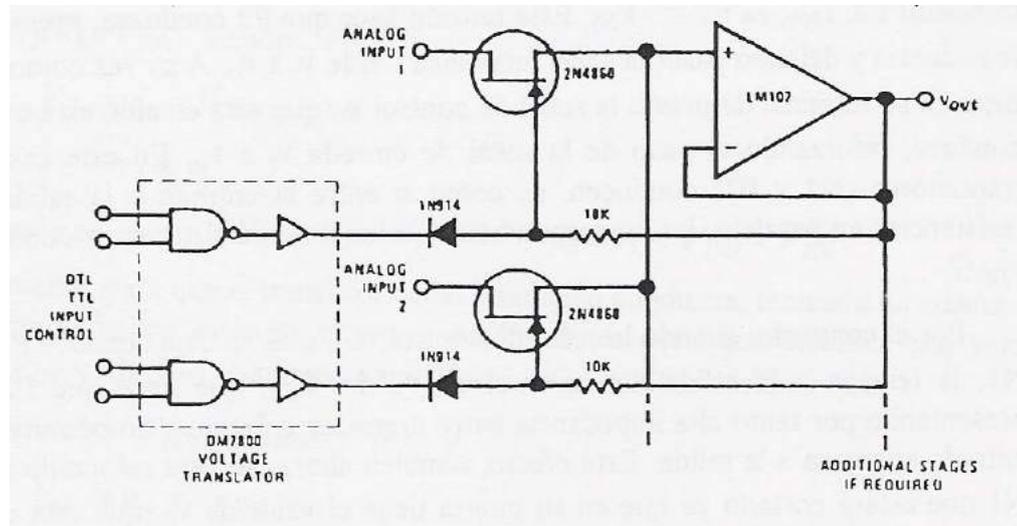


Fig. 8. Conmutador analógico de dos canales y con buffer de salida.

3. Soluciones Integradas

El nivel del conmutador analógico es muy bajo en el proceso de integración, donde lo usual es iniciar el diseño a partir de *multiplexores analógicos* que ya incluyen la función de conmutación junto con los circuitos de control adicionales necesarios para seleccionar cual es la señal de entrada que en cada momento debe aparecer sobre el único canal de salida. El circuito multiplexor incluye también un terminal para desactivar o activar cada canal seleccionado.

Sin embargo, por razones pedagógicas empezaremos comentando las soluciones integradas al problema de la conmutación analógica y después hablaremos de los multiplexores. Las tecnologías básicas son la bipolar-FET (BIFET) y la CMOS. La combinación de las técnicas de implantación iónica con la técnica bipolar standard dio lugar a esta tecnología mixta. La tecnología CMOS, junto a sus ventajas de aislamiento y alto valor en el salto de resistencia en conducción a resistencia en corte, presentan el inconveniente de la posibilidad de destrucción por sobretensión durante el manejo de los circuitos.

Veamos primero una solución CMOS de las primeras generaciones (tipo F4016 ó MC 14016B) que incluye cuatro conmutadores bilaterales independientes, cada uno de los cuales consta de dos terminales de entrada/salida (v_i^n, v_o^n) y una entrada de control (v_C) activa en alta. Cada conmutador está formado por una *puerta de transmisión* bidireccional y un *inversor* (figura 9).

La *puerta de transmisión* posee dos transistores de canales P y N en paralelo (P2 y N2, en la figura), de forma que a sus terminales de puerta (G_{N2}, G_{P2}) llegan señales de control desfasadas 180°. Estas señales se obtienen a partir de una única señal externa, v_C ,

mediante un *inversor* formado por N1 y P1. Así su funcionamiento es el siguiente: cuando la señal de control, v_C , está en alta el transistor P1 está en corte y N1 en conducción de forma que la tensión en la salida del inversor y por tanto en el terminal de puerta del transistor P2, G_{P2} , es $v_A = -V_{SS}$. Esta tensión hace que P2 conduzca, presentando muy baja impedancia y dejando pasar la señal analógica desde v_i a v_o . A su vez como el transistor N2 tiene en su terminal de puerta la señal de control v_C que está en alta, este transistor también conduce, reforzando el paso de la señal de entrada v_i a v_o . En este caso, como ambos transistores (N2 y P2) conducen, es como si entre la entrada y la salida existiesen dos resistencias en paralelo, las correspondientes a los dos transistores en conducción, es decir $r_{DS}/2$.

Por el contrario, cuando la señal de control, v_C , está en baja conduce P1 y está cortado N1, la tensión a la salida del inversor es $v_A = +V_{DD}$ que hace que P2 esté al corte, presentando por tanto alta impedancia entre drenador y fuente y no permite que la señal de entrada aparezca a la salida. Este efecto, también ahora, se verá reforzado por el transistor N1 que estará cortado ya que en su puerta tiene el valor de v_C , que está en baja. En este caso, como ambos transistores están cortados, la impedancia que presentan es el paralelo de las impedancias de dos uniones PN⁺ polarizadas en sentido inverso, y que por tanto es un valor alto que impide el paso de la señal.

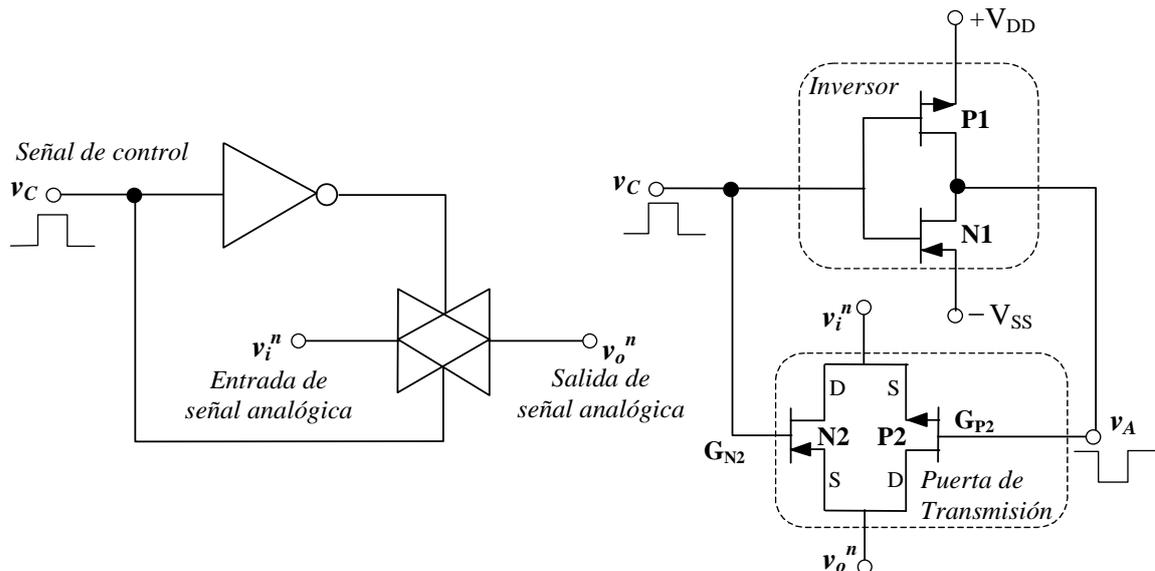


Fig. 9. Esquema del conmutador CMOS, F4016

En este circuito las señales de entrada pueden ser tanto negativas como positivas con tal que v_i no corte a ninguno de los transistores cuando tienen que conducir, ni los pase a conducción cuando tienen que estar cortados. Es decir, cuando v_C tome el valor correspondiente a "1" ($v_C = V_{DD}$), los transistores N2 y P2 deben conducir. Los valores de las tensiones en las puertas de estos transistores son:

$$v_C = V_{DD} \text{ y } v_A = -V_{SS}$$

Dado que las curvas características del transistor de canal N se encuentran en el primer cuadrante, es decir que conduce con valores positivos de V_{DS} y V_{GS} , y además $V_{GS} > V_{TN}$, para que este transistor conduzca se debe verificar que:

$$V_{GS} = V_G - V_S > V_{TN}, \text{ siendo } V_{TN} > 0$$

Como $V_G \equiv v_c = V_{DD}$,

y $V_S = v_o \equiv v_i$

sustituyendo en V_{GS} , $V_{DD} - v_i > V_{TN} \Rightarrow v_o \equiv v_i < V_{DD} - V_{TN}$

Análogamente, para que el transistor canal P también conduzca, teniendo en cuenta que sus curvas características están en el tercer cuadrante, es decir que conduce con valores negativos de V_{DS} y de V_{GS} , y además para $V_{GS} < -V_{TP}$, se debe verificar que:

$$V_{GS} = V_G - V_S < -V_{TP}, \text{ siendo } V_{TP} < 0$$

Como $V_G \equiv v_A = -V_{SS}$,

y $V_S = v_i$

sustituyendo, $-V_{SS} - v_i < -V_{TP} \Rightarrow v_i > -V_{SS} + V_{TP}$

Es decir, para que ambos transistores conduzcan con $v_c = V_{DD}$, se debe verificar:

$$-V_{SS} + V_{TP} < v_i < V_{DD} - V_{TN}$$

Por el contrario, cuando la señal de control esté a "0", $v_c = -V_{SS}$, ninguno de los dos transistores deberá conducir. Así, los valores de v_i que verifican esta condición son:

Para canal N:

$$V_G \equiv v_c = -V_{SS}, \text{ y } V_S = v_o \equiv v_i^1 \Rightarrow -V_{SS} - v_i < V_{TN} \Rightarrow v_i > -V_{SS} - V_{TN}$$

Para canal P:

$$V_G \equiv v_A = V_{DD}, \text{ y } V_S = v_i \Rightarrow V_{DD} - v_i > -V_{TP} \Rightarrow v_i < V_{DD} + V_{TP}$$

Es decir, para que ambos transistores estén cortados con $v_c = -V_{SS}$, se debe verificar:

$$-V_{SS} - V_{TN} < v_i < V_{DD} + V_{TP}$$

En la *figura 10* representamos la zona en la que se debe encontrar v_i en ambos casos ($v_c = -V_{SS}$ y $v_c = V_{DD}$) para que no haya lugar a error. Como puede observarse la condición más restrictiva es la correspondiente a la zona matizada, es decir a la condición $-V_{SS} + V_{TP} < v_i < V_{DD} - V_{TN}$. Con estos valores de v_i nos aseguramos que los transistores están cortados o conduciendo cuando la v_c es "0" ($-V_{SS}$) ó "1" ($+V_{DD}$).

¹ Lo que realmente ocurre es que v_o siempre será menor o igual que v_i . Por tanto, tomaremos este valor como referencia para calcular las cotas externas.

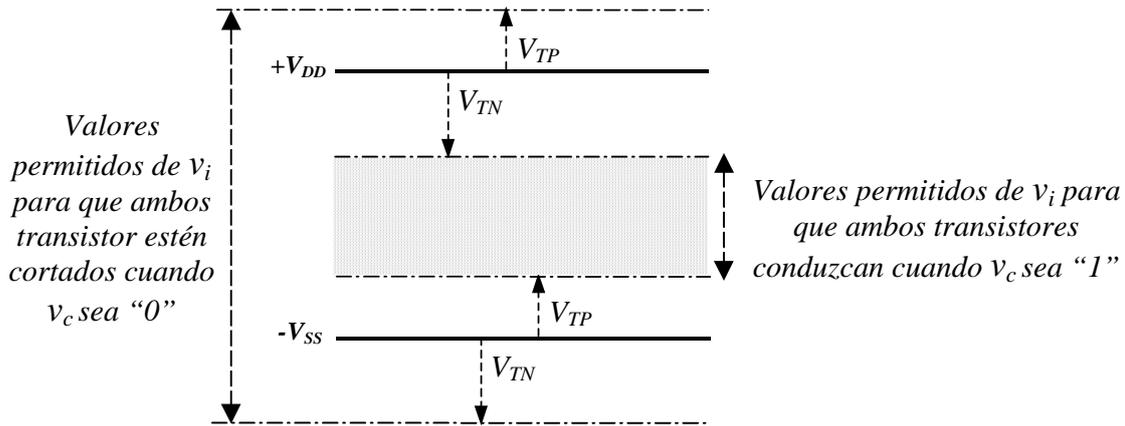


Fig. 10. Valores permitidos de v_i para que ambos transistores estén cortados o conduzcan cuando v_c sea "0" ó "1".

La figura 11 muestra la simulación con PSpice de este circuito. Hemos tomado $-V_{SS} = 0$ Volts y $+V_{DD} = 12$ Volts. Obsérvese como los transistores que hemos seleccionado para el inversor tienen los sustratos unidos a las fuentes, mientras que los transistores que constituyen el conmutador analógico tienen los sustratos independientes, o sea, no están unidos a la fuente y hay que polarizarlos de la forma adecuada, es decir el sustrato del transistor canal N se conecta a $-V_{SS}$ y el del canal P a $+V_{DD}$. El motivo de esta diferencia es debido a que las fuentes de los transistores del inversor están conectadas a la alimentación, mientras que en el caso del conmutador analógico los terminales de fuente están conectados a señales analógicas y si los sustratos estuvieran conectados a las fuentes, en este último caso, estarían polarizados con una señal que variaría con el tiempo.

En la parte superior de la figura 11 se representa el esquema de simulación de la puerta de transmisión y las gráficas correspondientes a su funcionamiento correcto. Las dos gráficas superiores representan la señal de control [$v_c = V(v_c)$] y la señal de entrada [$v_i = V(v_i) = 5 + 5 \sin wt$] respectivamente. La gráfica inferior corresponde a la señal de salida [$v_o = V(v_o)$]. Obsérvese que, cuando la señal de control está a "1" (+10 volts.), intervalo de 0.5ms a 1ms, las señales v_i y v_o coinciden, mientras que cuando v_c está a "0" (0 volts.), intervalos de 0ms a 0.5ms y de 1.0ms a 1.5ms, la señal de salida se recorta pasando a valer +5 volts. que es la tensión de offset que hemos tenido que introducir como consecuencia de usar para la alimentación 0 y +10 volts. en vez de ± 5 volts.

En la parte inferior de la figura 11 se representa el resultado cuando se aumenta la amplitud de la señal de entrada, es decir ahora $v_i = V(v_i) = 5 + 6 \sin wt$. Como se puede ver cuando v_c toma el valor "1", intervalo de 0.5ms a 1ms, la señal sinusoidal de salida se recorta en los picos, es decir, los transistores que tienen que conducir pasan a estar cortados. Lo mismo ocurre para el semiciclo negativo.

En los intervalos de 0ms a 0.5ms y de 1.0ms a 1.5ms, v_c toma el valor "0", ahora los transistores deben estar al corte, sin embargo cuando v_i supera los 8.4 volts y cuando está por debajo de 1.6 volts los transistores pasan a conducción, cuando realmente deberían estar al corte, por tanto vemos que para estos valores de la señal de entrada el circuito no funciona de forma correcta. Así, para el circuito que hemos simulado se debe verificar que:

$$-V_{SS} + V_{TP} < v_i < V_{DD} - V_{TN} \Rightarrow 1.6 < v_i < 10 - 1.6 = 8.4$$

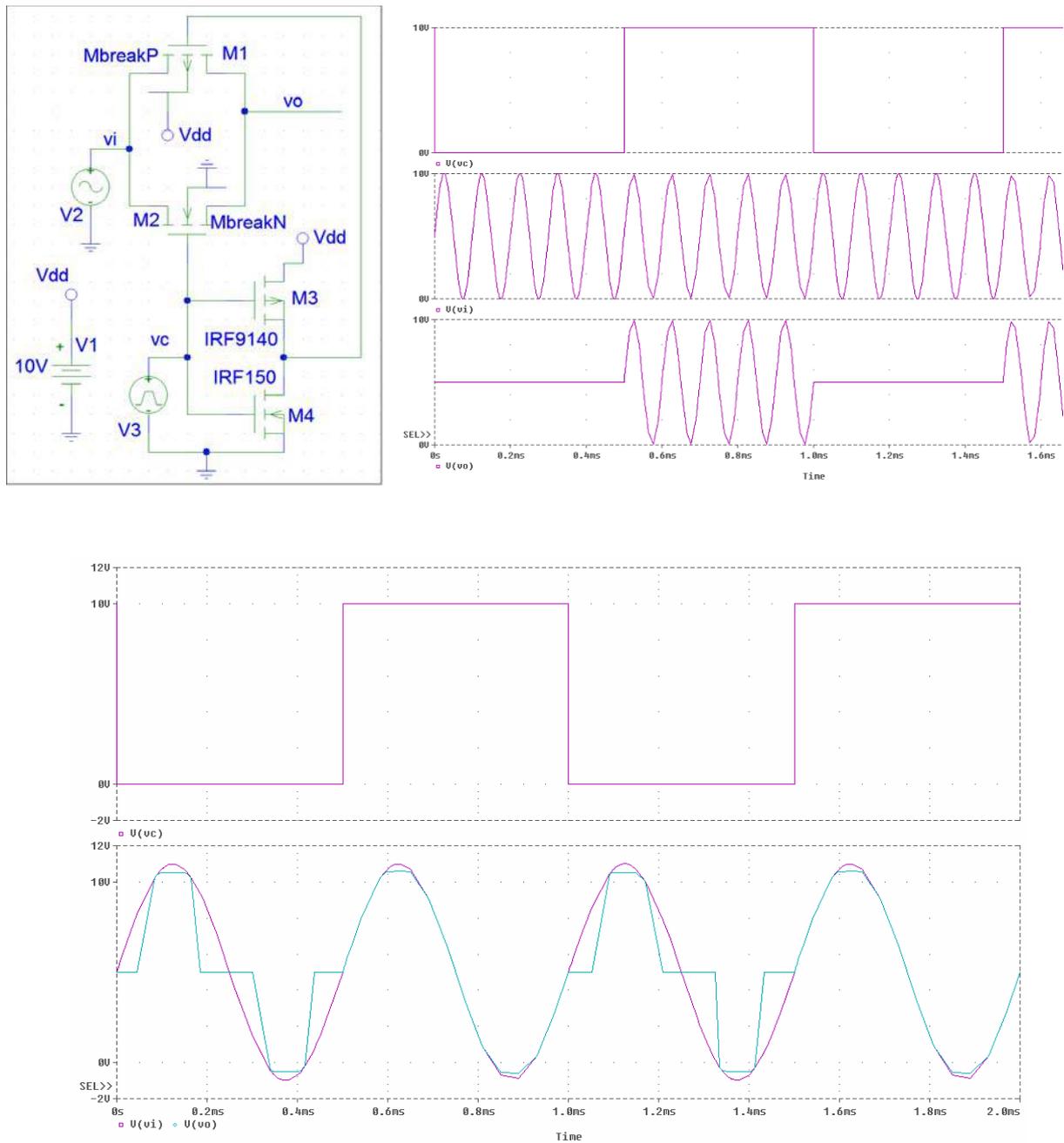


Fig. 11. Simulación con PSpice de la puerta de transmisión.

Versiones más actuales de esta tecnología son los circuitos tipo SN74HC4066 de Texas Instrument, con puerta de silicio, cuádruples (cuatro conmutadores en el mismo circuito) y bidireccionales. Además pueden manejar indistintamente señales analógicas o digitales. Cada conmutador acepta señales de hasta 6 volts. de pico que pueden ser transmitidas en ambas direcciones. El circuito básico para lógica positiva de cada uno de estos conmutadores es el representado en la *figura 12.a*. En la parte b se muestra el símbolo lógico y la tabla de control.

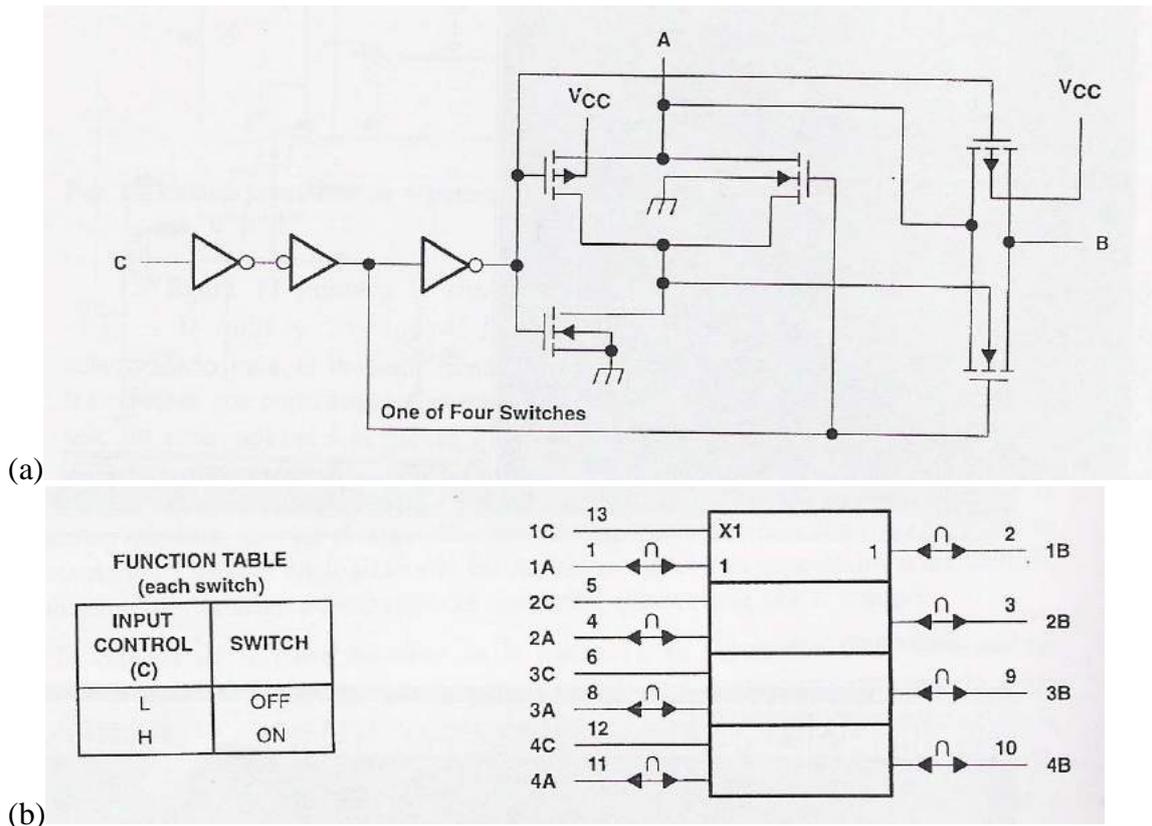


Fig. 12. Circuito, tabla de control y símbolo lógico del SN74HC4066

Para completar el panorama de uso, es necesario conocer también las condiciones de operación y las características eléctricas, junto con los circuitos de prueba del valor de sus parámetros, R_{ON} , corrientes de pérdidas, retardo de propagación y tiempo de conmutación. Los datos de catálogo y las notas de aplicación de los distintos tipos de circuitos incluyen esta información, con la que se inicia el paso de la fase académica de análisis de los mecanismos básicos a la fase aplicada, profesional, en la que tenemos que seleccionar el conmutador más adecuado para una determinada necesidad de diseño usando los catálogos de las casas comerciales. A continuación están las direcciones en la red de las casas comerciales más importantes, donde se pueden encontrar las versiones actualizadas de los datos de catálogo y de las notas de aplicación.

Analog Devices:	http://www.analog.com
National Semiconductor:	http://www.national.com
EXAR:	http://www.exar.com
Texas Instrument:	http://www.ti.com

Las soluciones BIFET son funcionalmente equivalentes a las CMOS. Así, un circuito de primera generación, como el LF331 incluyen cuatro conmutadores y cada uno con una señal de facilitación o inhibición. Estos circuitos son compatibles con los niveles lógicos CMOS y TTL, operan desde ± 15 voltios y mantienen constante el valor de la resistencia en el estado de conducción para amplios rangos de intensidad y frecuencia de las señales de entrada. La figura 13 muestra el esquema funcional de este conmutador.

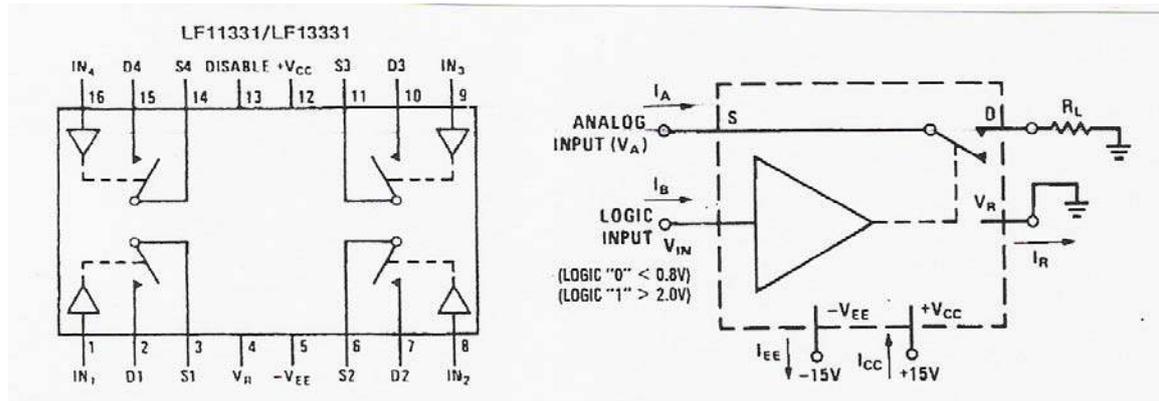


Fig. 13. Esquema de terminales del conmutador BIFET LF 331 y diagrama de uno de los conmutadores

Este circuito admite:

- Una tensión de referencia, V_R , tal que: $V_{EE} \leq V_R \leq V_{CC}$
- Una entrada de control, V_{IN} : $V_R - 4\text{vols} \leq V_{IN} \leq V_R + 6\text{vols}$
- Una señal analógica V_A : $V_{EE} \leq V_A \leq V_{CC} + 6\text{voltios}$ y $V_A \leq V_{EE} + 36\text{voltios}$
- Permite una corriente de la señal analógica: $I_A < 20\text{ mA}^2$

Al usar tecnología integrada nuestra única opción en el diseño es probar el circuito midiendo sus transitorios, tiempos de retardo y asentamiento, y grado de aislamiento. La figura 14 muestra los circuitos de prueba, en los que cabe señalar las medidas de aislamiento para conmutador abierto y las del cruce en las que se excita un canal y se mide la respuesta en el otro.

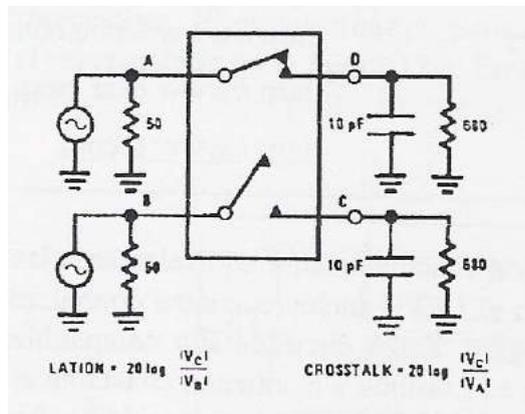


Fig. 14. Medidas de aislamiento y de cruce del LF 331

² Obsérvese como en la descripción de este circuito hemos mantenido la nomenclatura que da el fabricante en las hojas de características, para las señales de entrada analógica, control y alimentación y que no coinciden con la nomenclatura que hemos seguido hasta ahora.

$$\text{Aislamiento} = 20 \log \frac{V_C}{V_B} = -50 \text{dB} \quad (\text{por ejemplo})$$

$$\text{Cruce} = 20 \log \frac{V_C}{V_A} = -60 \text{dB} \quad (\text{por ejemplo})$$

Este circuito posee una entrada de inhibición que pasa a OFF a todos los conmutadores, independientemente del valor de la entrada lógica que se usa en el control normal (figura 15).

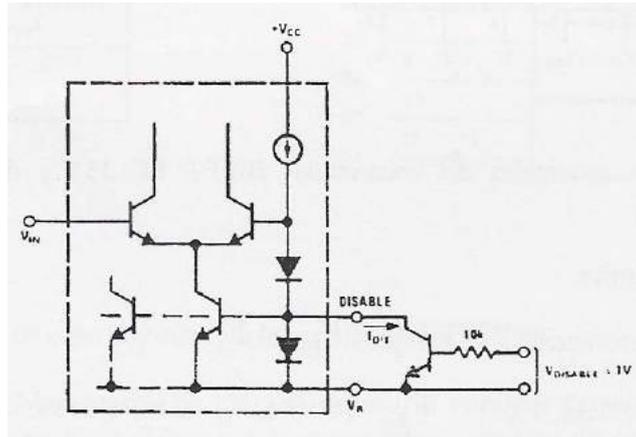


Fig. 15. Ilustración del circuito de inhibición que pasa a off al conmutador analógico.

Bajo condiciones normales de funcionamiento el potencial de este terminal de inhibición (DISABLE) se encuentra a 0'7 voltios por encima de V_R . Cuando el transistor externo se satura, el potencial de este terminal pasa a estar a 0'2 voltios por encima de V_R ya que:

$$V_{\text{DISABBLE}} = V_R + V_{CE} / T_{I(\text{sat})} = V_R + 0'2$$

y el circuito se inhibe porque la tensión base-emisor del diodo y de los transistores internos no superan la tensión de despegue de la unión y por tanto no conduce.

4. Multiplexos

La aplicación más frecuente de los conmutadores analógicos es el multiplexado de varias señales analógicas sobre un mismo canal para la posterior conversión analógico-digital (figura 16) o para su transmisión. En este último caso necesitamos realizar en recepción la separación de los canales.

Las distintas señales analógicas, 8 en el ejemplo de la figura 16, se presentan de forma sucesiva al circuito de muestreo y retención (Sample/Hold) bajo el control del procesador digital que abre de forma selectiva y cíclica los distintos canales. Tras el muestreo se da la orden de conversión y al finalizar ésta, el procesador selecciona el siguiente canal y continúa el proceso.

Conviene recordar aquí la diferencia entre los *multiplexos en frecuencia* y *en tiempo* y también la diferencia entre el *multiplexado analógico* y *digital*. En el **multiplexado**

temporal las muestras de las distintas señales permanecen independientes e identificables, sin embargo sus espectros están mezclados. Inversamente en el **multiplexado de frecuencia** (modulación) los espectros de las diferentes señales permanecen independientes e identificables pero las señales se mezclan en el tiempo. Finalmente, en el **multiplexado analógico** las señales pertenecen a cierto rango dinámico (por ejemplo, entre cero y 10 voltios) y el control es digital, con señales binarias. En cambio, en el **multiplexado digital**, tanto las señales como el control son digitales. Estos últimos se estudian en la Electrónica Digital al estudiar las funciones de rutas de datos.

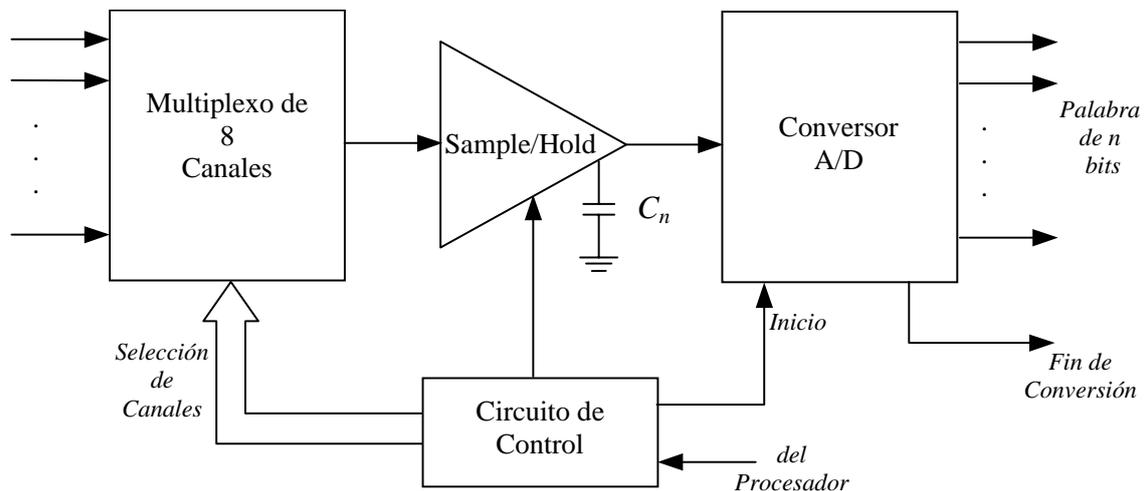


Fig. 16. Esquema cualitativo y funcional de los sistemas de multiplexado analógico y muestreo-retención previos al proceso de conversión de una señal desde su representación analógica a su representación digital, como una "palabra" de n bits.

La función de multiplexado y su inversa, demultiplexado, permiten el paso de señales analógicas de paralelo a serie y de serie a paralelo. Para su síntesis necesitan:

- Conmutadores analógicos
- Sumadores y amplificadores
- Circuitos de tiempo para el control de la apertura y cierre de los conmutadores de forma cíclica y sucesiva.

Estas funciones se pueden realizar usando:

- Amplificadores programables.
- Amplificadores operacionales a transconductancia (OTA)
- Conmutadores analógicos.
- Soluciones específicas al multiplexado en tecnología integrada que ya incluyen todas o una gran parte de estas subfunciones.

Si decidimos sintetizar un circuito multiplexo usando amplificadores operacionales programables, la apertura o cierre de un canal se realiza usando el terminal de I_{set} , cuya corriente cambia de 2nA (corte) a 70nA (conducción), por ejemplo. El mismo procedimiento se sigue con los OTA, a través de su corriente I_{ABC} . La figura 17 muestra el esquema de un duplex usando dos OTA tipo 3080. Hay un pequeño desplazamiento del valor de la señal de entrada del orden de 2 mV determinado por la tensión de offset.

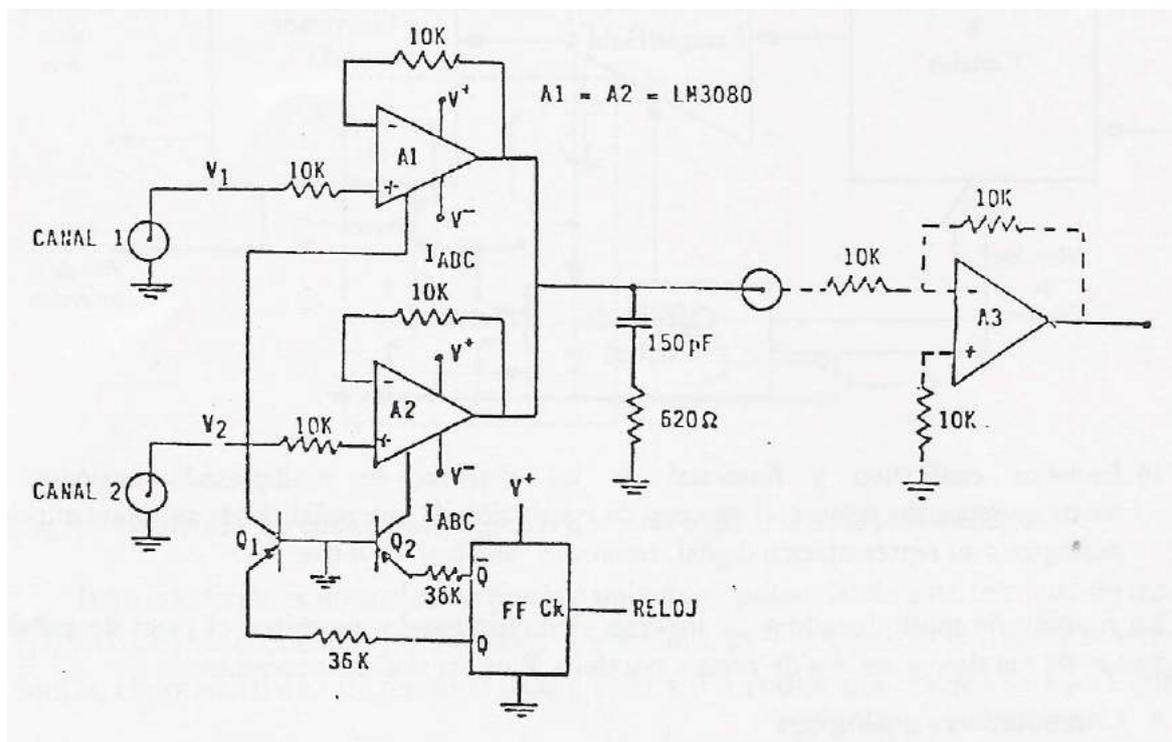


Fig. 17. Ejemplo de síntesis de un multiplexo usando amplificadores a transconductancia (OTA).

La lógica de control genera dos ondas cuadradas desfasadas 180°, de forma que cuando un canal se abre el otro se cierra. Se usa para ello un biestable D cuyas salidas Q y \bar{Q} van a los emisores de dos transistores en configuración de base común usados para minimizar el acoplo capacitivo a través de la unión del colector. Con cada pulso de reloj se abrirá un canal distinto de forma alternativa puesto que, cuando un transistor conduce el otro no, de forma que cada transistor hace que conduzca uno de los dos Amplificadores Operacionales controlando su corriente I_{ABC} y haciendo que la señal de entrada correspondiente aparezca a la salida.

Aunque por razones pedagógicas, hemos comentado el diseño de multiplexos a partir de conmutadores analógicos, la solución más idónea es usar multiplexos integrados que ya incluyen los conmutadores analógicos y los decodificadores de las familias lógicas básicas (TTL, PMOS y CMOS). Las tecnologías usadas son JFET, MOSFET, CMOS o BIFET y se clasifican en función del *número de canales* (1 de 8, 2 de 16, etc...), la *tecnología* del conmutador básico, las familias lógicas (TTL, ECL, MOS y CMOS) con cuyos niveles de tensión e impedancia, es *compatible* el multiplexo, los *valores de resistencia* en el estado de conducción (i.e. $10 < r_{ON} < 600 \Omega$), la *corriente al corte* (i.e. $0.05 \text{ nA} < I_D |_{OFF} < 20 \text{ nA}$) y los *tiempos cierre* (i.e. $30 \text{ ns} < t_{ON} < 1.5 \mu\text{s}$) y *apertura* (i.e. $50 \text{ ns} < t_{OFF} < 1 \mu\text{s}$).

A título de ejemplo describimos ahora los circuitos BIFET LF13508 y LF13509 de National Semiconductors (*figura 18*). El primero es un multiplexo de 8 canales y el segundo un multiplexo diferencial (doble de 4 canales). El LF13508 conecta la salida a cada una de las ocho entradas de acuerdo con el estado de los tres bits de control que pueden operar tanto en los niveles lógicos de la familia TTL como en los de la familia

CMOS. Incluyen también una entrada de facilitación (“enable”) que permite desconectar la salida.

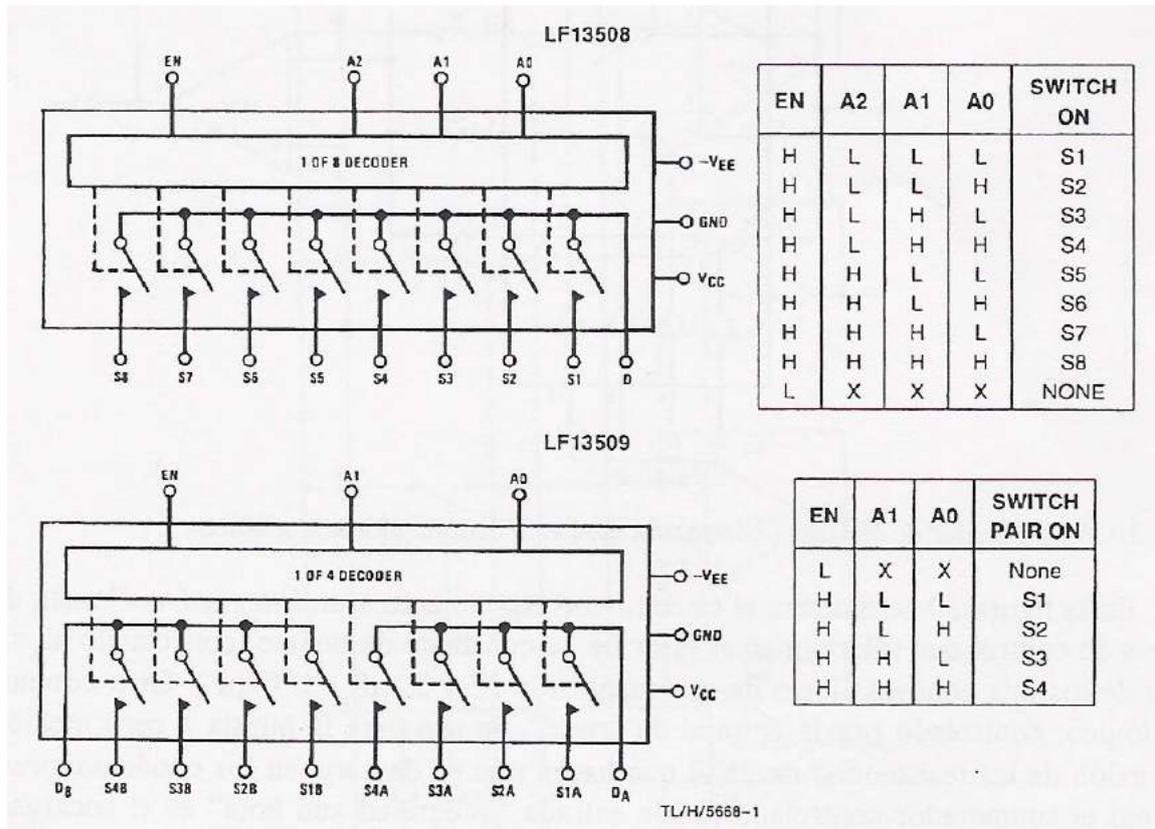


Fig. 18. Diagrama funcional y tabla de verdad de los circuitos LF13508 y LF13509.

En el multiplexo diferencial de 4 canales LF13509, el direccionamiento de dos bits de control (A_0 , A_1) conecta un par de entradas analógicas independientes (D_A , D_B) a uno de los cuatro pares de canales de salida ($S1A$, $S1B$; ... ; $S4A$, $S4B$).

Ambos circuitos operan entre +11 voltios y -15 voltios, su resistencia en conducción (r_{ON}) es del orden de 380Ω y sus entradas digitales son compatibles con los niveles TTL y CMOS

Al igual que en el caso de los conmutadores analógicos, para conocer las distintas versiones actuales de circuitos multiplexores (número de canales, tecnología de base, protección a excesos de tensión, aplicaciones de video, etc...) es necesario acudir a los catálogos de las casas comerciales o a las correspondientes direcciones en la red.

5. Otras Aplicaciones

Además de los Sistemas de Adquisición de Datos y los procesos de comunicación, existen otras muchas aplicaciones para los conmutadores analógicos. A continuación estudiaremos los procesos de muestreo por un tren de impulsos y los circuitos de muestreo-retención (“sample and hold”). Aquí, a título de ejemplo, vamos a comentar los *amplificadores de ganancia controlable*, el *control de un integrador* y un *demultiplexo*. De la misma forma podríamos hablar de control digital de un filtro pasa banda o cualquier otra

aplicación que necesite la conmutación de un conjunto de componentes activos o pasivos. La figura 19 muestra el esquema del *amplificador de ganancia variable* en el que se selecciona la ganancia cerrando uno de los cuatro conmutadores analógicos que conectará una de las cuatro resistencias de entrada.

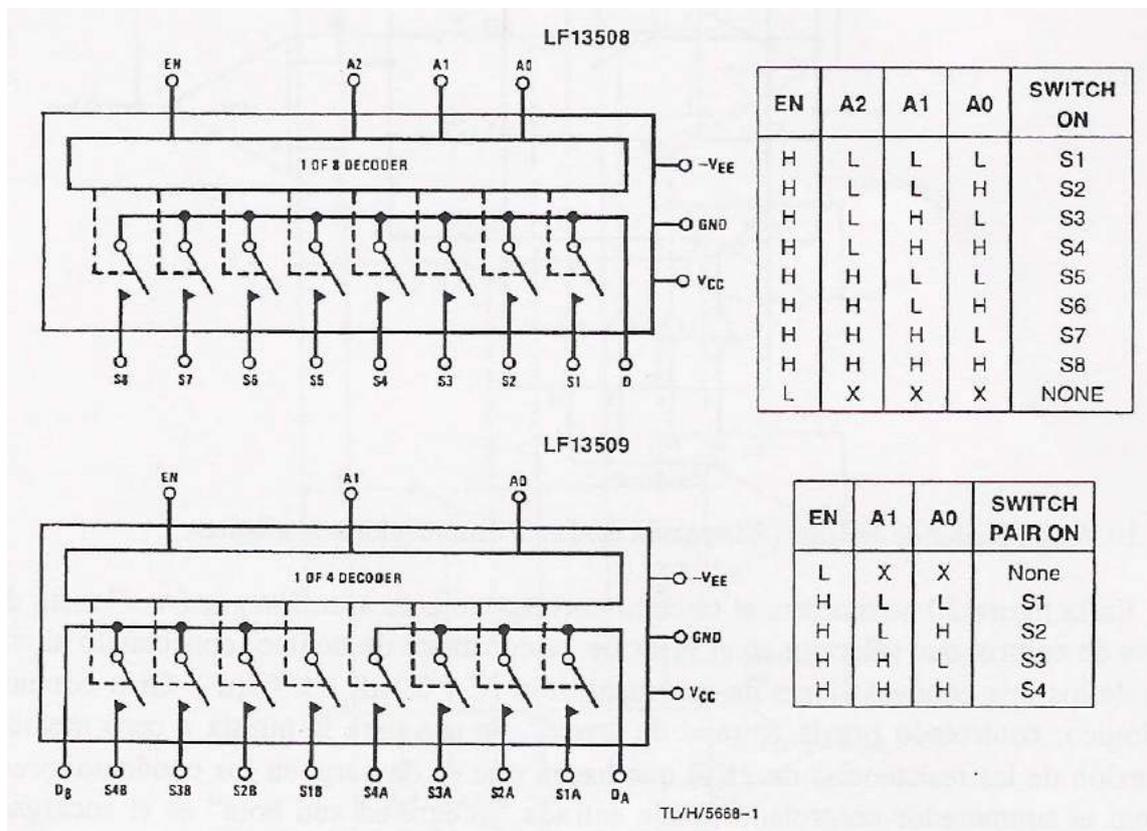


Fig. 19. Amplificador de ganancia controlada mediante conmutadores analógicos.

$$\text{Así las ganancias pueden ser : } A_v = \frac{1M\Omega}{10K\Omega, 50K\Omega, 100K\Omega, 500K\Omega} = 100, 20, 10, 2$$

En la figura 20 se muestra el circuito correspondiente a un *integrador*. Consta de dos líneas de control que seleccionan el valor de la constante de tiempo, conectando al circuito uno de los dos condensadores de realimentación (C= 0.1μF ó 0.01μF). Otro conmutador analógico, controlado por la entrada de “reset”, se usa para la puesta a cero mediante la conexión de las resistencias de 2KΩ que hacen que se descarguen los condensadores. Por último el conmutador controlado por la entrada “integrated and hold” es el encargado de dejar pasar la señal de entrada cuando está cerrado o no dejarla pasar, presentando alta impedancia, cuando está abierto.

Otros tipos de circuitos en los que se usan los conmutadores analógicos son los demultiplexores que realizan la función complementaria de los multiplexos, pasando de serie a paralelo. Muestran la señal de entrada presentando cada una de estas muestras en un terminal de salida distinto. La figura 21 muestra un demultiplexo de 1 a 4.

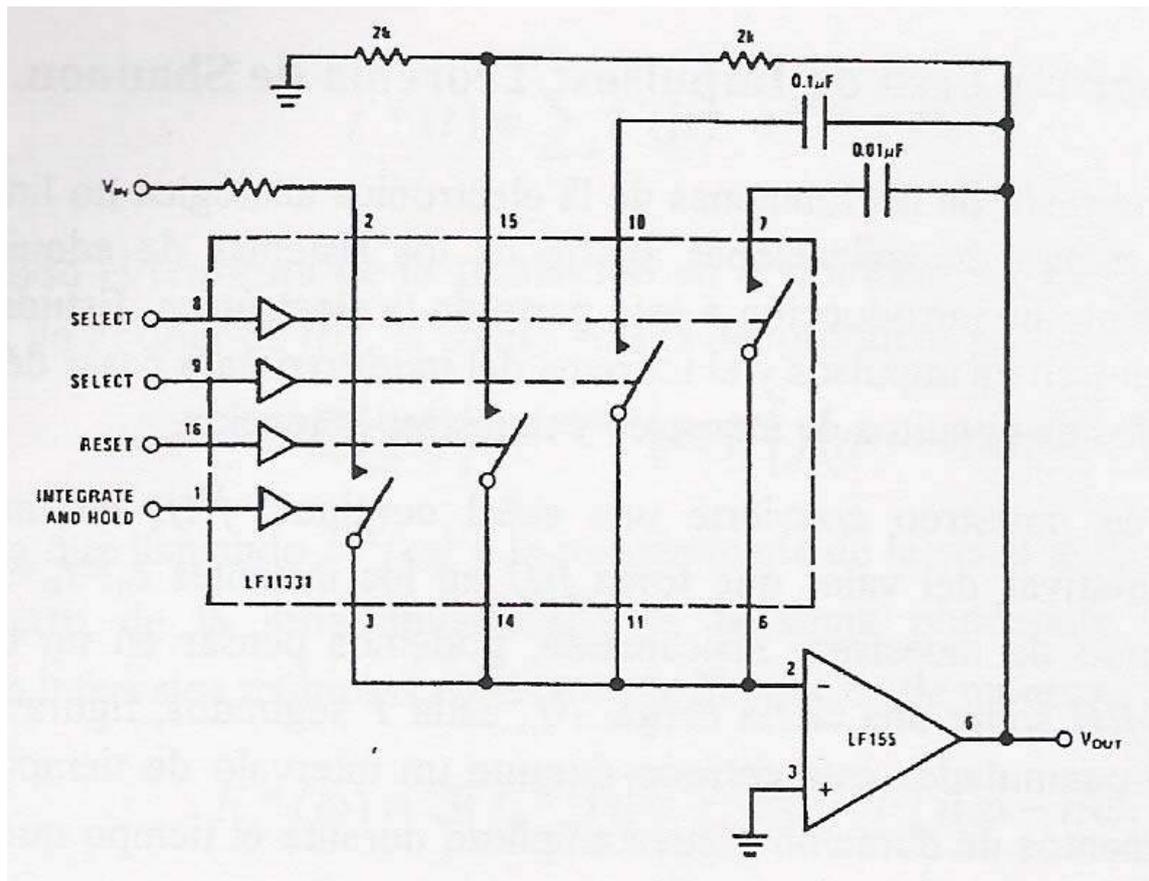


Fig. 20. Integrador controlado por conmutadores analógicos.

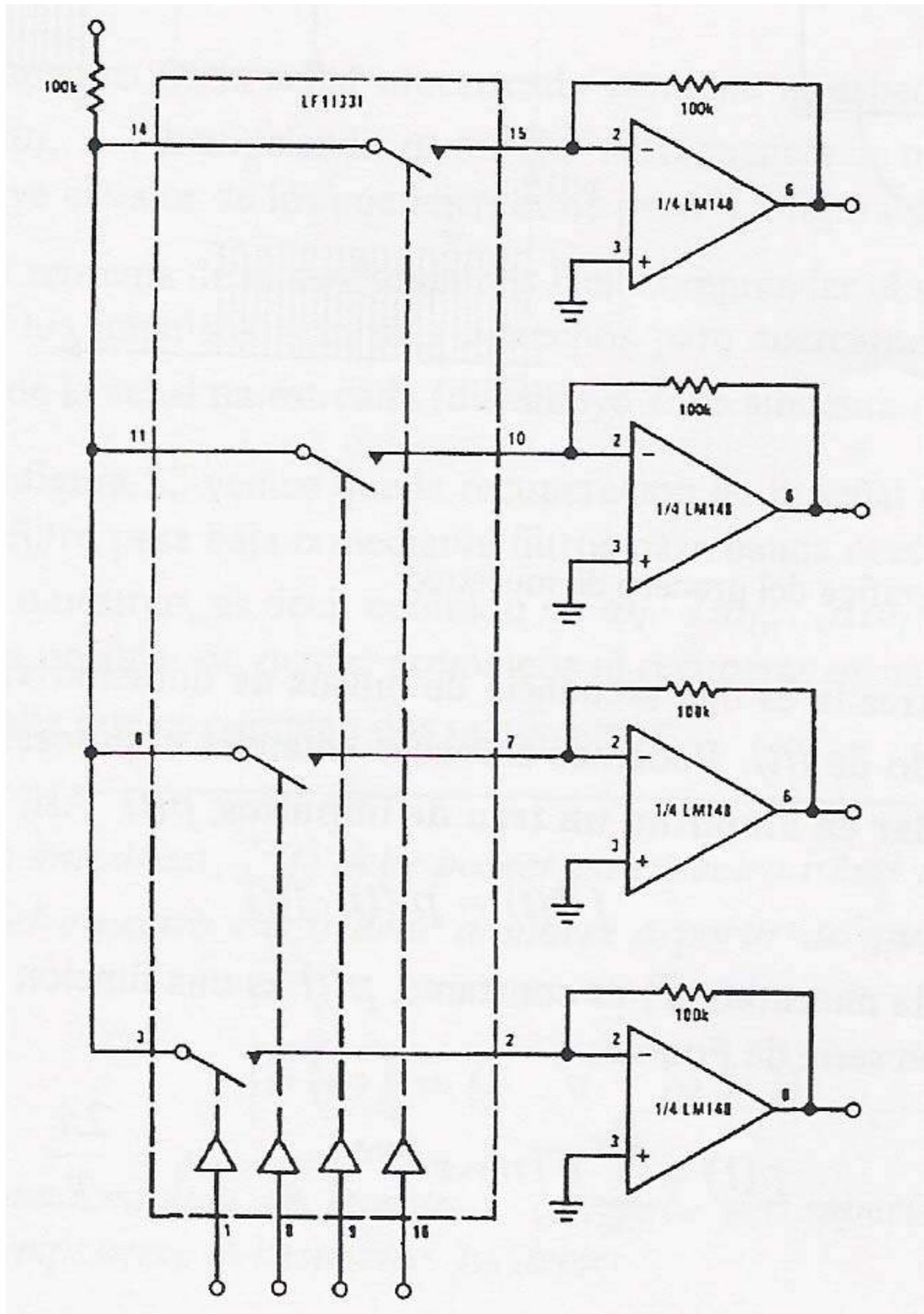


Fig. 21. Demultiplexo de 1 a 4.

6. Muestreo por un Tren de Impulsos: Teorema de Shannon.

Al igual que el resto de las funciones de la electrónica analógica no lineal, el muestreo posee un amplio rango de aplicaciones aparte de los sistemas de adquisición de datos usados como ejemplo de introducción a esta parte de la electrónica. Estudiaremos primero el muestreo por un tren de impulsos y el teorema del muestreo para pasar después al estudio de algunos ejemplos de circuitos de muestreo y muestreo-retención.

El proceso de muestreo convierte una señal continua, $f(t)$, en una secuencia de muestras representativas del valor que toma $f(t)$ en los instantes $t_n = t_0 + nT$ (n , entero), siendo T el período de muestreo. Físicamente, podemos pensar en un conmutador que cierra el paso de $f(t)$ sobre una cierta carga, R_L , cada T segundos, figura 22. El muestreo real exige que el conmutador esté cerrado durante un intervalo de tiempo finito. Así, las muestras son elementos de duración τ cuya amplitud durante el tiempo que el muestreador permanece cerrado sigue a $f(t)$.

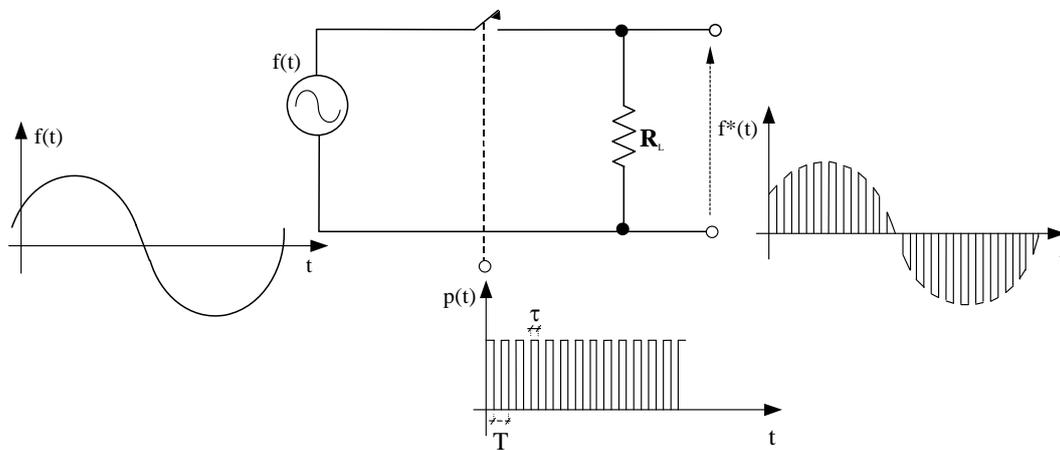


Fig. 22. Explicación gráfica del proceso de muestreo

La señal muestreada es una secuencia de pulsos de duración τ , período T y amplitud variable dependiendo de $f(t)$. Podemos entonces entender el proceso de muestreo como el resultado de **modular en amplitud un tren de impulsos**, $p(t)$. Así,

$$f^*(t) = p(t) \cdot f(t)$$

Si el período de muestreo, T , es constante, $p(t)$ es una función periódica por lo que se puede desarrollar en serie de Fourier:

$$p(t) = \sum_{-\infty}^{\infty} F(n) \cdot e^{jn\omega_1 t}, \quad \omega_1 = \frac{2\pi}{T}$$

Luego

$$f^*(t) = \sum_{-\infty}^{\infty} F(n) \cdot e^{jn\omega_1 t} \cdot f(t)$$

Recordando el **teorema de la traslación** en el dominio de frecuencias, si $F(j\omega)$ es la transformada de Fourier de $f(t)$, la transformada del producto por una exponencial será:

$$\mathfrak{F}[f(t) \cdot e^{jn\omega_1 t}] = F[j(\omega - n\omega_1)]$$

De forma que llamando $F^*(\omega)$ a la transformada de la señal muestreada $f^*(t)$, vemos que el espectro de la señal muestreada es la suma ponderada de espectros $F(\omega)$ desplazados a intervalos múltiplos enteros de la frecuencia de muestreo, ω_1 .

$$F^*(\omega) = \mathfrak{F}[f^*(t)] = \sum_{-\infty}^{\infty} F(n) \cdot F[j(\omega - n\omega_1)]$$

Los factores de peso son los coeficientes del desarrollo en serie de Fourier del tren de impulsos:

$$F(n) = \frac{\tau}{T} \cdot \frac{\text{sen} \frac{n\omega_1 \tau}{2}}{\frac{n\omega_1 \tau}{2}}$$

Es decir, el espectro de la señal muestreada contiene el espectro de la señal original repetido en $\omega_1, 2\omega_1, \dots, n\omega_1$, siendo $\omega_1 = 2\pi/T$ la frecuencia de muestreo. Al aumentar la frecuencia disminuye el valor de los coeficientes de peso. La *figura 23* ilustra el proceso.

Recordando el teorema de la similaridad es fácil comprender el significado del muestreo real. Al hacer que los impulsos sean más estrechos para acercarnos al muestreo ideal, se amplía el espectro de la señal muestreada (disminuye $T \Rightarrow$ aumenta ω_1).

Observando la *figura 22* vemos que la recuperación de la señal original $F(\omega)$ se podría hacer mediante un filtro pasa baja o mediante filtros pasa banda centrados en algún múltiplo de la frecuencia de muestreo, es decir centrado en $\omega_1, 2\omega_1, \dots, n\omega_1$. Sin embargo, para que tal recuperación sea posible, sin perder armónicos ni recuperar otros que no pertenecen a la señal $F(\omega)$, hace falta que se cumplan dos condiciones:

☞ La señal a muestrear, $f(t)$ debe poseer un espectro $F(\omega)$ limitado en banda. Es decir, el espectro $F(\omega)$ debe anularse a partir de una cierta frecuencia máxima W .

$$|F(\omega)| = 0 \quad \forall \quad \omega \geq W$$

☞ La frecuencia mínima de muestreo, ω_1 , debe ser superior al doble de la máxima componente del espectro. Es decir:

$$\omega_1 > 2W.$$

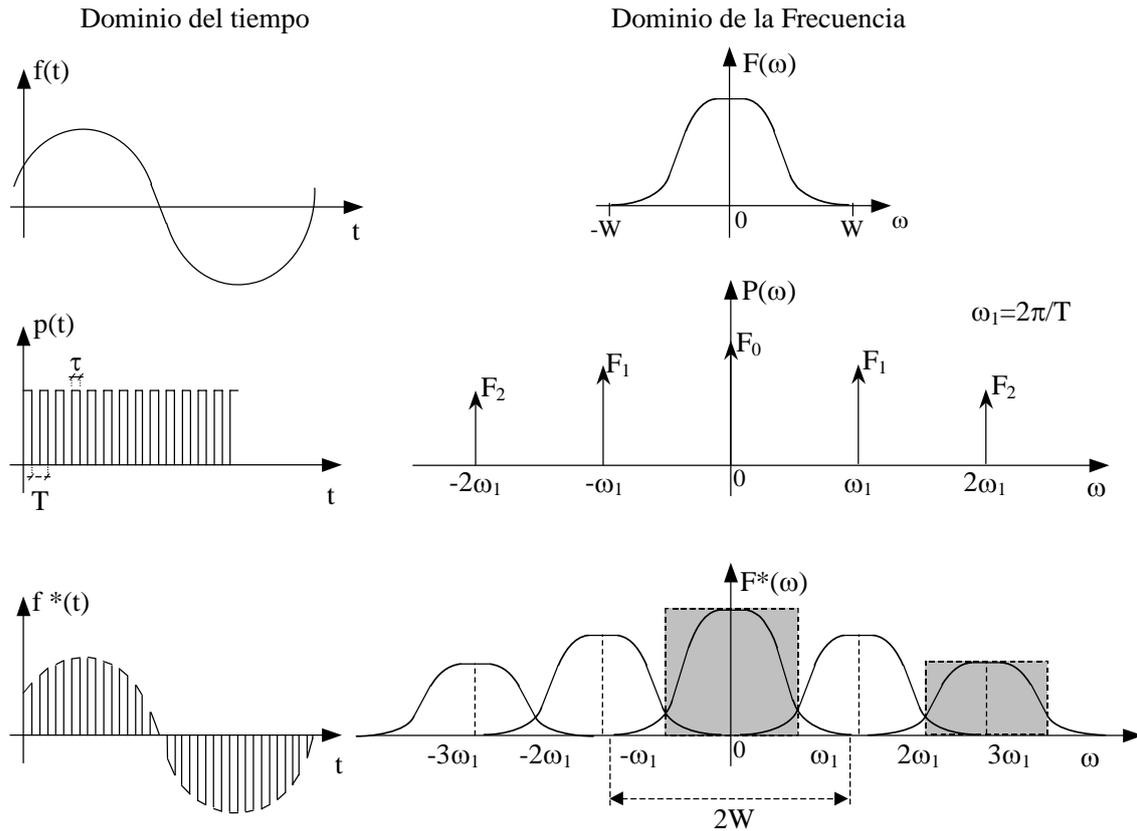


Fig. 23. Señales analógica, portadora y muestreada en el dominio del tiempo y en el dominio transformado

Veamos el significado físico y armónico de estas dos condiciones en el muestreo real y cómo podemos controlarlas hasta cierto punto para aproximar el proceso real al ideal en las transformaciones previas a toda **transmisión digital** de señales analógicas y a todo **proceso de conversión** Analógico-Digital.

Obsérvese que muestreamos las señales analógicas para multiplexarlas después, yuxtaponiendo muestras de señales diferentes, pero con la intención de poder recuperar más tarde los valores analógicos de cada una de estas señales muestreadas sin pérdida de información, con la mayor precisión posible. Es decir, para cada señal, $f(t)$, el conjunto de sus muestras, $f^*(t)$, debe ser equivalente al conjunto continuo de valores que constituían esa señal $f(t)$ antes del proceso de muestreo. Veamos con más detalle las dos condiciones necesarias para que se cumpla esta equivalencia.

El significado de la condición de “**ancho de banda limitado**” es claro. Como multiplicar en el dominio del tiempo es equivalente a convolucionar en el dominio de frecuencias, el espectro de una señal muestreada, $F^*(\omega)$, es la repetición del espectro de la señal sin muestrear, $F(\omega)$, con una separación igual a la frecuencia de muestreo, ω_1 . Por consiguiente, si queremos recuperar en el futuro la señal original, $f(t)$, a partir de un filtrado pasa-baja del espectro de la señal muestreada, $F^*(\omega)$, los “lóbulos” $F(\omega)$ que se repiten en $F^*(\omega)$ **no deben solaparse**. Es más, debe quedar una cierta **franja de seguridad** entre dos “lóbulos” sucesivos para compensar las características de bajada de todo filtro

pasa-baja (F.P.B.) real, que nunca tiene pendiente infinita. La *figura 24* ilustra este problema considerando tres situaciones, una con mucho solape de espectros, otra sin solape (muestreo “crítico”) y una tercera más desahogada, con una zona de protección.

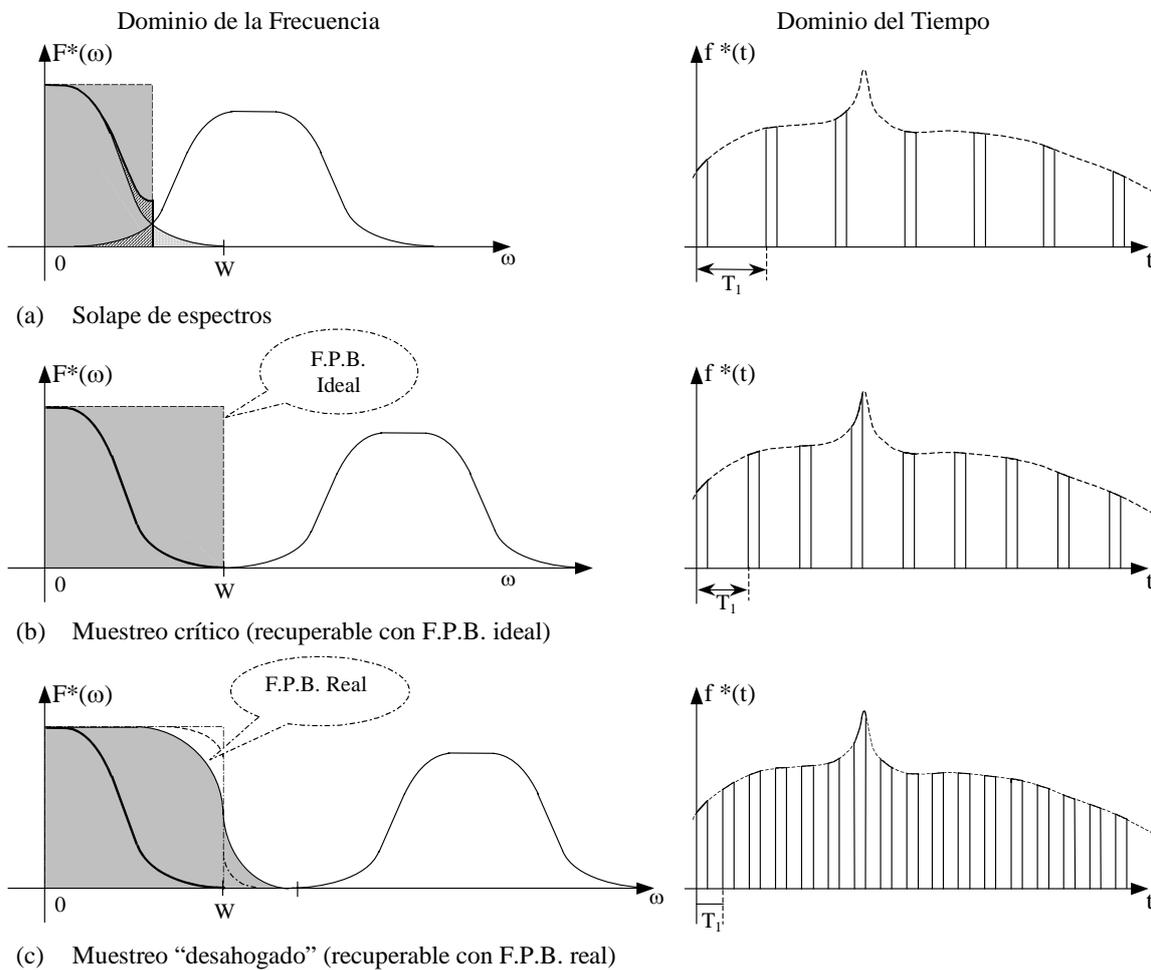


Fig. 24. Forma cualitativa de los espectros $F^*(\omega)$ de una señal muestreada para tres valores de la frecuencia de muestreo: (a) bajo, (b) crítico y (c) “desahogado”. El propósito de esta figura es poner de manifiesto de forma gráfica el efecto de la no limitación en banda sobre el proceso de recuperación de la señal analógica original, $f(t)$.

En el primer caso, la función $f(t)$ no es recuperable ni siquiera con un filtro ideal porque a $F(\omega)$ le *quitamos* el triángulo de altas frecuencias (matizado con puntitos en la figura) que queda fuera de la banda pasante del filtro pasa-baja y le *añadimos* un “triángulo” que procede del siguiente lóbulo (matizado con rayas en la figura) y que no debería incluirse en esa región de $F(\omega)$. Este fenómeno de solapamiento de espectros se conoce con el término de “aliasing” y los filtros que intentan evitarlo se llaman filtros “antialiasing”. Para garantizar la limitación en banda es conveniente entonces prefiltrar la señal $f(t)$, antes de muestrearla, con un filtro pasa-baja que nos garantice un valor mínimo para todas las componentes de la señal con contenido de frecuencia superior a W . Es decir, que genere a la fuerza la condición de “banda limitada”.

Sigamos ahora con el resto de la *figura 24*. En *24.b* se ilustra el caso crítico, en el que un filtro ideal podría recuperar $F(\omega)$ y, por consiguiente, $f(t)$. Sin embargo, los filtros pasa-baja reales tienen una caída de 20, 40 y 80 decibelios por década, pero nunca con pendiente infinita. Por eso es necesario aumentar más la frecuencia de muestreo, ω_1 , hasta situaciones como la de la *figura 24.c*, en las que la separación entre el final de un lóbulo y el inicio del siguiente es suficiente para permitir la separación con un filtro pasa-baja real. Como se ve de forma intuitiva, una vez conseguida la limitación en banda, el problema se centra en la holgura con la que seleccionamos la frecuencia de muestreo, ω_1 , que siempre debe ser superior al mínimo exigido en el caso ideal.

Esto constituye la segunda condición a la que se conoce como el **Teorema del Muestreo de Shannon**. Una redacción más formal del teorema es la siguiente:

Para señales analógicas continuas, $f(t)$, con un espectro en frecuencias $F(\omega)$, limitado en banda a una frecuencia máxima W (por métodos naturales o por prefiltrado), ($|F(\omega)| = 0, \forall \omega > W$), se puede conseguir una descripción completa de las mismas a partir de sus muestras, si estas están tan próximas que la frecuencia de muestreo, ω_1 , es mayor o igual que el doble de la frecuencia máxima de la señal, W . Es decir, $\omega_1 \geq 2W$

Con esta condición, se puede usar un filtro pasa-baja que, cortando en $\omega_1/2$, separe $F(\omega)$ del resto de $F^*(\omega)$, dado que ahora no se solapan los lóbulos sucesivos del espectro.

Si reinterpretemos el teorema en el dominio del tiempo, donde están las muestras de $f(t)$, vemos que lo que nos exige este teorema es tomar un cierto número mínimo de muestras, $n(t_m)$, por cada segmento de señal $f(t)$ de duración, t_m . Como la distancia entre muestras es T_1 , el número de muestras que hay que tomar en t_m es n , tal que:

$$t_m = n T_1,$$

Como $T_1 = \frac{1}{f_1} = \frac{2\pi}{\omega_1}$ y $\omega_1 \geq 2W$

Tenemos $n = \frac{t_m}{T_1} = \frac{t_m \cdot \omega_1}{2\pi} = \frac{t_m \cdot W}{\pi}$

En palabras sencillas, cuanto mayor es el contenido armónico de una señal $f(t)$ (mayor W en nuestro caso), mayor debe ser el número de muestras, $n = \frac{t_m \cdot W}{\pi}$, que tenemos que tomar para poder recuperar la señal sin pérdida de información. La *figura 25* resume el Teorema del Muestreo visto desde el dominio del tiempo y desde el dominio de las frecuencias.

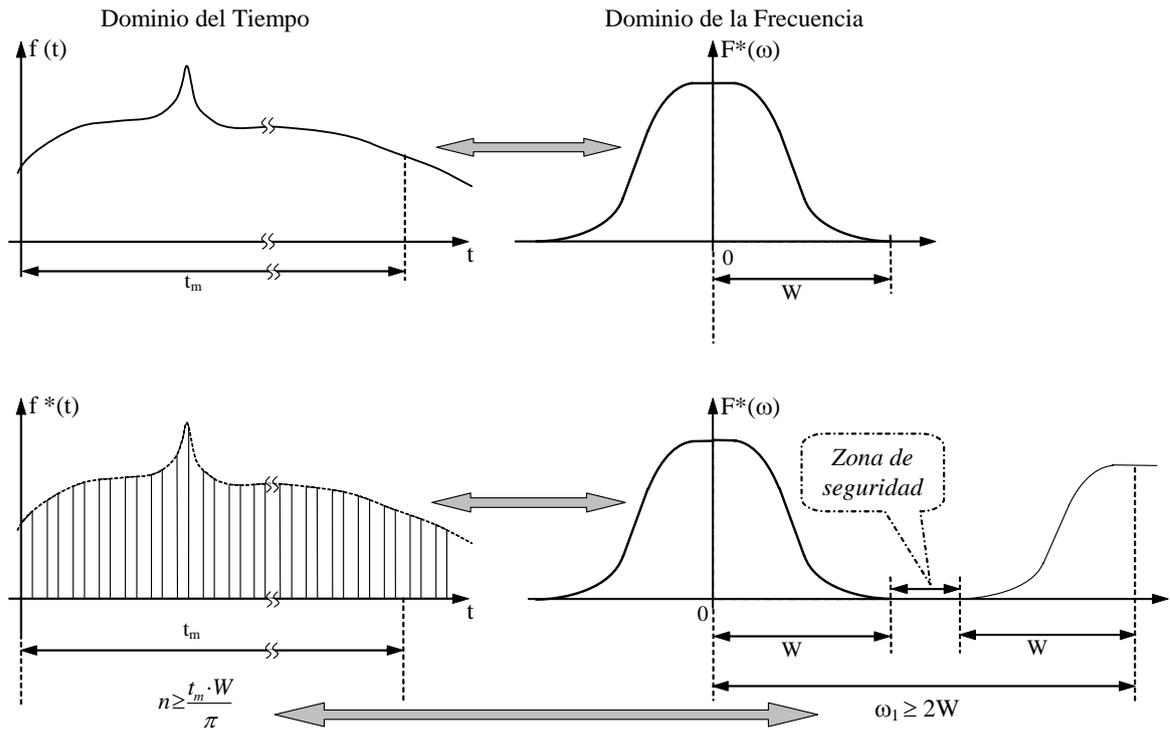


Fig. 25. Resumen del Teorema del Muestreo.

Un ejemplo numérico puede ayudarnos a completar nuestra comprensión de este apartado. Así, por ejemplo, si el espectro de audio está suficientemente representado en los primeros 5 KHz, podemos filtrar primero, eliminando el resto y muestrear después a 3 veces ese valor máximo (15 KHz) con lo que cumplimos las dos condiciones. Primero hemos limitado la banda a 5 KHz y después hemos muestreado a 15 KHz, en vez de muestrear sólo a 10 KHz. Queda así una zona de protección de 5 KHz, en la que puede cortar adecuadamente un F.P.B. real para recuperar los 5 KHz originales.

Si ahora realizamos los mismos cálculos en el dominio del tiempo (columna izquierda de la figura 25) estamos diciendo que para cada t_m segundos de señal analógica necesitaríamos en muestreo crítico

$$n = \frac{t_m \cdot W}{\pi} = \frac{t_m \cdot 2\pi \cdot 5 \cdot 10^3}{\pi} = 10^4 t_m \text{ muestras}$$

El haber añadido una franja de seguridad de 5 KHz supone que la frecuencia de muestreo es ahora de 15 KHz y que, por consiguiente, en el dominio del tiempo tenemos que tomar 3 muestras donde antes tomábamos 2. Ahora n es

$$n = \frac{t_m \cdot \omega_1}{2\pi} = t_m \frac{3 \cdot W}{2\pi} = t_m \frac{3 \cdot 2\pi \cdot 5 \cdot 10^3}{2\pi} = 1.5 \cdot 10^4 \cdot t_m$$

7. Influencia del Teorema de Shannon en el Multiplexado Temporal

Si se observa analíticamente la forma de onda de una señal muestreada, $f_1^*(t)$, vemos que la mayor parte del tiempo su valor es cero. De hecho, de cada T_1 segundo (periodo de muestreo) sólo está en alta el tiempo que dura el pulso de muestreo (τ) y siempre T_1 es mucho mayor que τ . Por consiguiente, podríamos usar el mismo canal de transmisión digital o el mismo proceso de conversión A/D para transportar muestras de otras muchas señales, $f_2^*(t)$, $f_3^*(t)$, ...etc. Este es el principio de multiplexado por división del tiempo (TDM) y yuxtaposición dentro de cada periodo de muestreo, de muestras de distintas señales analógicas, tal como vimos en el apartado 4 y en la *figura 15*.

Si todas las señales analógicas, $f_1^*(t)$, $f_2^*(t)$, $f_3^*(t)$, ..., tienen el mismo límite superior en su ancho de banda (W), la frecuencia de muestreo secuencial con la que se van a yuxtaponer las muestras es la misma que hemos calculado para una sólo señal en el apartado anterior, $\omega_1 \geq 2W$, incluyendo los comentarios relativos al “aliasing” y a la zona de protección para compensar la pendiente finita de todo filtro pasa-baja real. Así, las muestras sucesivas de una misma señal, $f_1^*(t)$, deberán espaciarse $T_1 \leq \pi/W$ y en cada periodo T_1 aparecerán también muestras sucesivas de $f_2^*(t)$, $f_3^*(t)$, ...etc. Si en el conjunto de señales a multiplexar existe alguna con mayor ancho de banda (W_{max}), esta será la que nos fije el periodo de muestreo para todas las demás, $\omega_1 \geq 2W_{max}$.

Como esta configuración de muestras sucesivas de distintas señales se repite dentro de cada periodo de muestreo, se la llama *trama* (“frame”). Si tenemos M canales de entrada, la separación entre muestras de distintas señales dentro de una trama será T_1/M . La trama se completa añadiendo pulsos marcadores que nos digan en recepción cuando empieza y cuando acaba un paquete de pulsos. Al acabar una trama la siguiente muestra debe multiplexarse sobre $f_1^*(t)$, después sobre $f_2^*(t)$ y así sucesivamente hasta $f_M^*(t)$. Después, de nuevo volvemos a $f_1^*(t)$. La *figura 26* resume el multiplexado en el contexto del Teorema de Shannon, que se caracteriza por dos condiciones:

- ☞ *Las señales a multiplexar deben estar limitadas en banda.*
- ☞ *La frecuencia mínima de muestreo, ω_1 , debe ser superior al doble de la **mayor** de las máximas componentes del espectro de las distintas señales a multiplexar (W_{max}).*

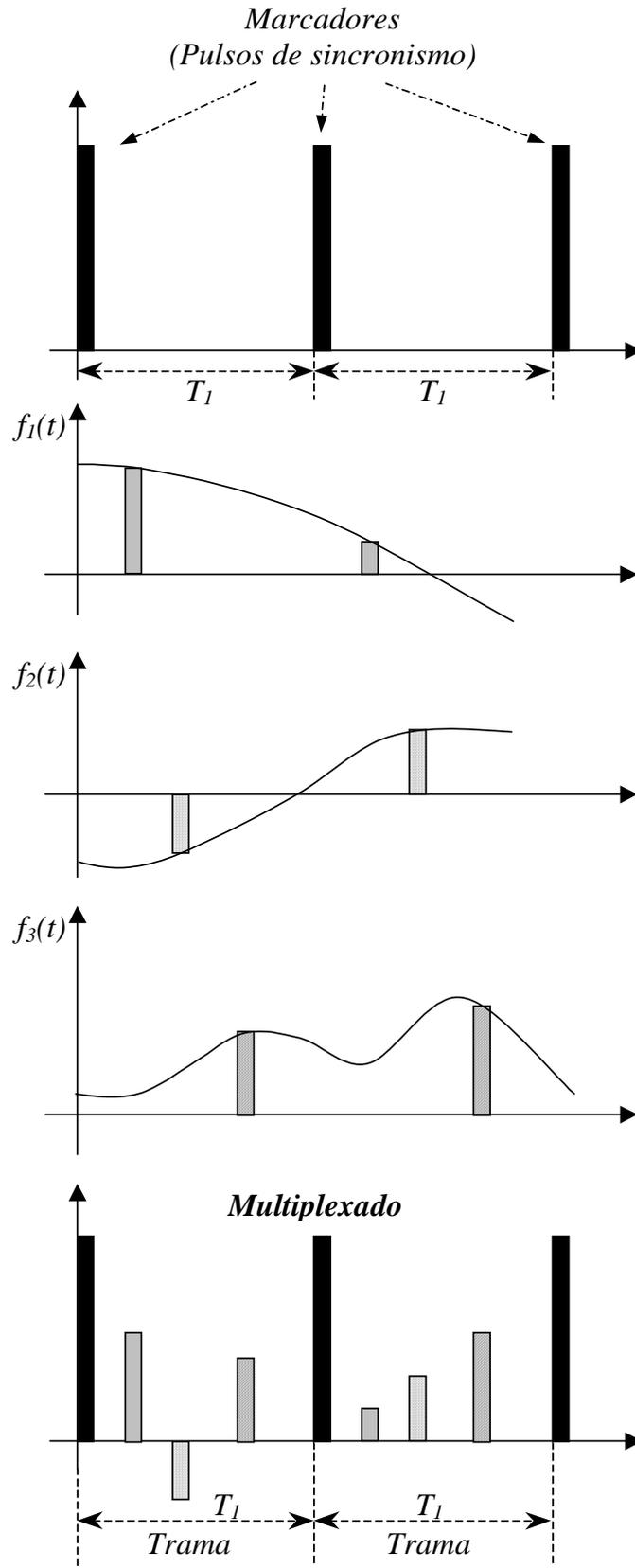


Fig. 26. Multiplexado en el tiempo.

8. Retenedores

El problema de la reconstrucción de datos exige interpolación y extrapolación. Ambos son procesos que tienden a encontrar los términos adicionales en una secuencia a partir de términos conocidos. Dada la secuencia, $f[nT]$, $f[(n-1)T]$, $f[(n-2)T]$, ..., buscamos el valor de $f(nT + \tau)$ para todo τ mayor que cero y menor que T . Para la extrapolación se necesita un sistema cuya transformada de Laplace de su función de transferencia sea la función de predicción $e^{s\tau}$.

Si $x(t)$ es la señal de entrada e $y(t)$ es la salida, extrapolamos y tomamos como salida en el instante $t = nT$ el valor que toma la entrada en un instante intermedio, $nT + \tau$, que estará comprendido entre nT y $(n+1)T$. Así,

$$y(t) = y(nT) = x(nT + \tau)$$

Su transformada de Laplace es: $Y(s) = X(s) \cdot e^{s\tau}$

La exponencial $e^{s\tau}$ la podemos expresar como, $e^{s\tau} = [1 - (1 - e^{-sT})]^{-\tau/T}$ y

$$e^{s\tau} = 1 + \frac{1 - e^{-sT}}{T} \tau + \frac{(1 - e^{-sT})^2}{T^2} \frac{(T + \tau)\tau}{2} + \dots$$

desarrollándola en serie obtenemos:

Sustituyendo $e^{s\tau}$ en la expresión de $Y(s)$,

$$Y(s) = X(s) + X(s) \frac{1 - e^{-sT}}{T} \tau + X(s) \frac{(1 - e^{-sT})^2}{T^2} \frac{(T + \tau)\tau}{2} + \dots$$

Si ahora hacemos la transformada inversa de Laplace obtenemos la salida extrapolada. Así,

$$y(t) = x(t + \tau) = x(t) + \frac{x(t) - x(t - T)}{T} \tau + \frac{x(t) - 2x(t - T) + x(t - 2T)}{T^2} \frac{(T + \tau)\tau}{2} + \dots$$

como $t = nT$, instante en el que se extrapola, obtenemos:

$$y(nT) = x(nT + \tau) = x(nT) + \frac{x(nT) - x[(n-1)T]}{T} \tau + \frac{x(nT) - 2x[(n-1)T] + x[(n-2)T]}{T^2} \frac{(T + \tau)\tau}{2} + \dots$$

Así, los datos necesarios para la extrapolación son los valores de $x(t)$ en los instantes de muestreo nT , $(n-1)T$, $(n-2)T$, etc. Si reescribimos la expresión en términos de las diferencias $\nabla x(nT)$, $\nabla^2 x(nT)$,tenemos:

$$x(nT + \tau) = x(nT) + \frac{\nabla x(nT)}{T} \tau + \frac{\nabla^2 x(nT)}{T^2} \frac{T + \tau}{2} \tau \dots$$

A partir de aquí obtenemos distintos tipos de retenedores en función del número de términos del desarrollo con los que nos quedamos en la aproximación. El retenedor más

usado en electrónica es el *retenedor de orden cero*, que incluye el primer término de la serie:

$$x(nT + \tau) = x(nT) \quad \forall \tau \mid 0 \leq \tau < T$$

Físicamente significa que nos quedamos con el valor de una muestra y lo mantenemos constante durante todo el intervalo de muestreo, hasta la llegada de la muestra siguiente. La *figura 27* muestra un ejemplo del efecto del retenedor.

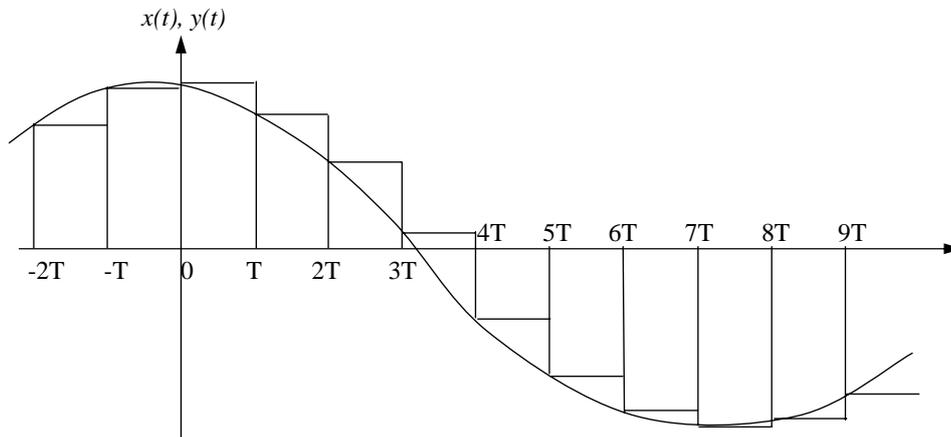


Fig. 27. Efecto sobre una señal continua, $x(t)$, del retenedor de orden cero. La salida del retenedor, $y(t)$, es una señal en escalera

La función ponderatriz, $g_h(t)$, o respuesta al impulso de amplitud unidad y duración T se puede expresar como la diferencia entre dos funciones de salto unidad $u(t)$ y $u(t-T)$, *figura 28*.

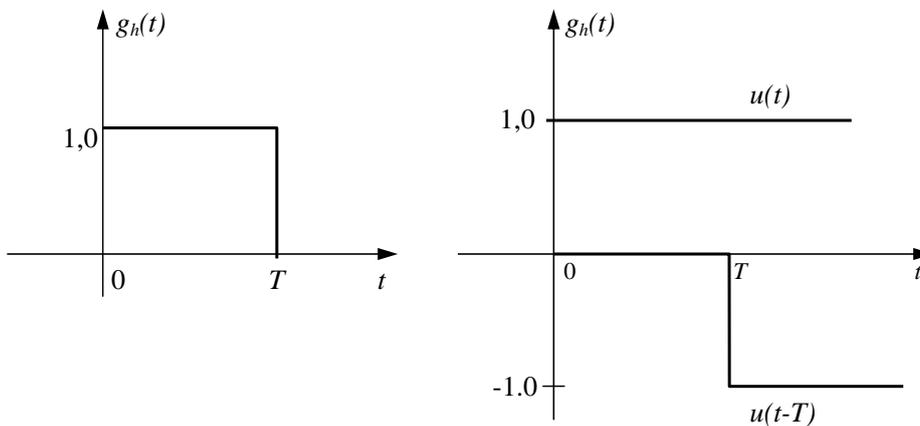


Fig. 28. Respuesta al impulso de un retenedor de orden cero, $g_h(t)$, y su descomposición en dos funciones de salto unidad $u(t)$ y $u(t-T)$.

Así,
$$g_h(t) = u(t) - u(t-T)$$

Su transformada de Laplace es:
$$G_h(s) = \frac{1}{s} - \frac{1}{s} e^{-sT}$$

Si sustituimos s por $j\omega$ obtendremos la respuesta en frecuencia:

$$G_h(j\omega) = \frac{1 - e^{-j\omega T}}{j\omega}$$

que podemos expresar en forma módulo-argumental (figura 29). Así operando y teniendo en cuenta que:

$$e^{j\omega T} = \cos \omega T + j \operatorname{sen} \omega T$$

obtenemos:

$$\begin{aligned} G_h(j\omega) &= \frac{1 - e^{-j\omega T}}{j\omega} = T \frac{1 - e^{-j\omega T}}{2j\omega \frac{T}{2}} \frac{e^{\frac{j\omega T}{2}}}{e^{\frac{j\omega T}{2}}} = T \frac{e^{\frac{j\omega T}{2}} - e^{-\frac{j\omega T}{2}}}{2j\omega \frac{T}{2}} e^{-\frac{j\omega T}{2}} = \\ &= T \frac{\operatorname{sen} \frac{\omega T}{2}}{\frac{\omega T}{2}} \left(\cos \frac{\omega T}{2} - j \operatorname{sen} \frac{\omega T}{2} \right) \end{aligned}$$

$$|G_h(j\omega)| = T \frac{\operatorname{sen} \frac{\omega T}{2}}{\frac{\omega T}{2}} \sqrt{\cos^2 \frac{\omega T}{2} + \operatorname{sen}^2 \frac{\omega T}{2}} = T \frac{\operatorname{sen} \frac{\omega T}{2}}{\frac{\omega T}{2}}$$

$$\varphi|_{G_h(j\omega)} = \operatorname{arctang} \left(\frac{-\operatorname{sen} \frac{\omega T}{2}}{\cos \frac{\omega T}{2}} \right) = -\frac{\omega T}{2}$$

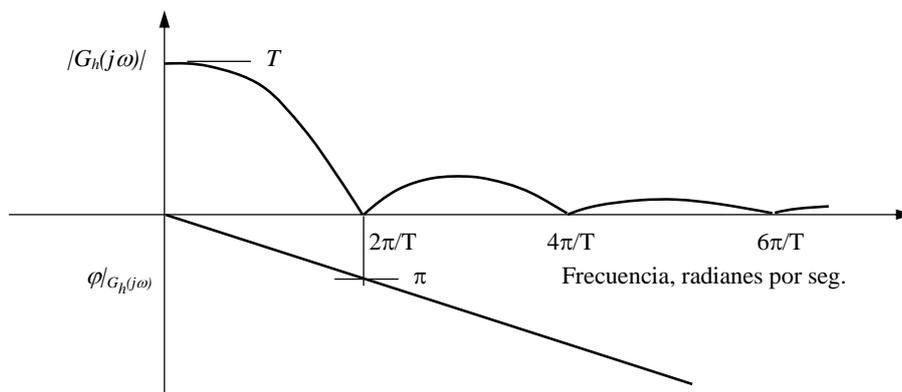
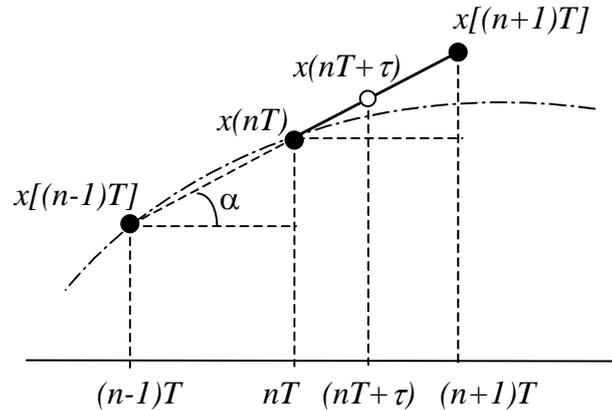


Fig. 29. Respuesta en frecuencia (amplitud y fase) del retenedor de orden cero.

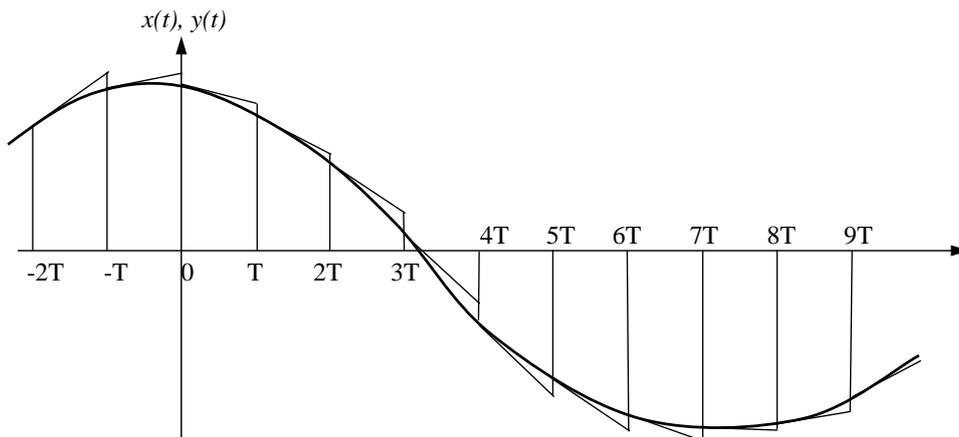
El **retenedor** de primer orden implementa los dos primeros términos del desarrollo. Su respuesta en cualquier instante entre $t=nT$ y $t=(n+1)T$, es decir en $t=nt+\tau$, es función de

las muestras en dos instantes: nT y $(n-1)T$. Su función presupone que aproximamos el valor entre dos instantes de muestreo mediante una recta que parte del último valor conocido y posee una pendiente definida por esa muestra y la anterior. Es decir, la que tenía entre nT y $(n-1)T$, como se muestra en la *figura 30*. Así,

$$y(nT) = x(nT + \tau) = x(nT) + \frac{x(nT) - x[(n-1)T]}{T} \tau$$



(a)



(b)

Fig. 30. (a) Detalle de la aproximación realizada en el retenedor de primer orden. (b) Ejemplo sobre una señal.

El avance de la tecnología electrónica nos permite pasar del retenedor de orden cero al seguimiento de la señal (“tracking”), tal como veremos más adelante.

Generalmente, el retenedor de orden cero es suficiente en muchos casos. Además, en otros casos es **imprescindible** puesto que mientras se retiene el valor de la muestra se realizan una serie de procesos tales como su conversión en digital. En este caso, el proceso de retención va seguido al de muestreo y el circuito que lo realiza se llama de **Muestreo y Retención**.

9. Circuitos de Muestreo y Muestreo-Retención

Vamos a ver ahora los circuitos que realizan las funciones de muestreo y muestreo-retención. La función de muestreo por un tren de impulsos sólo necesita un conmutador analógico en el que el tren de impulsos, $p(t)$, actúa de control y la señal a muestrear es la entrada. Así, hay tantas forma de realizar circuitos de muestreo como soluciones al problema de los conmutadores analógicos. La *figura 31* muestra un ejemplo con un transistor de efecto campo. Lo mismo podríamos realizarlo con un conmutador analógico en tecnología integrada. En ambos casos es conveniente añadir amplificadores separadores de ganancia unidad.

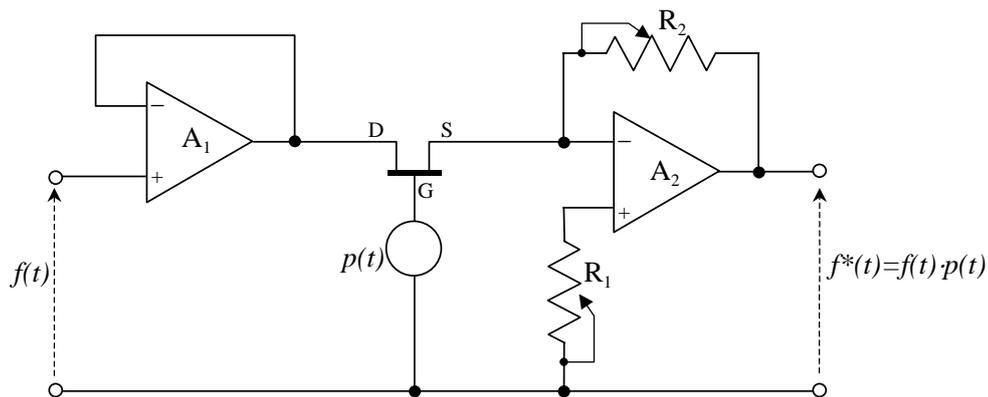


Fig. 31. Circuito de muestreo

Dentro de los circuitos de muestreo, tienen especial importancia los de **muestreo y retención** que, tras tomar una muestra, la retienen (retenedor de orden cero) hasta el nuevo instante de muestreo. Esta doble función de seguir una señal analógica y, cuando lo ordene un control externo, retener el valor que tiene la entrada en ese instante es importante en la conversión analógico-digital y en multitud de sistemas de medida (instrumentación).

En esencia, los circuitos de muestreo-retención constan de un conmutador, un condensador para almacenar la muestra y un amplificador separador para evitar la descarga del condensador (*figura 32*).

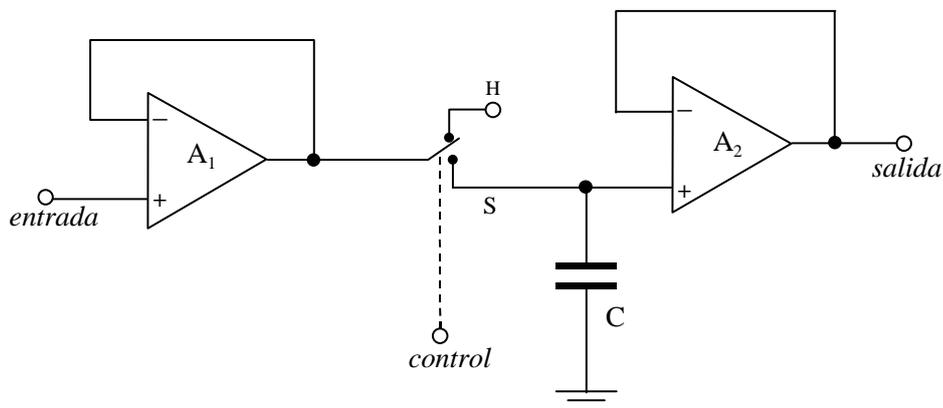


Fig. 32. Diagrama funcional del circuito de muestreo-retención.

En este circuito, la orden de retención se da cuando el conmutador pasa de S (“sample”) a H (“hold”). Cuando el conmutador está cerrado, el condensador se carga (o descarga) exponencialmente a la tensión analógica de entrada y la salida del amplificador operacional sigue la tensión del condensador. Al abrirse el conmutador, el condensador retiene su carga, ya que el único camino para descargarse es la impedancia de entrada del Amplificador Operacional que es muy alta. Hay pues dos modos de acción que se suceden alternativamente: **muestra y retención** y la misión del diseño es conseguir que la muestra sea lo más rápida posible (carga o descarga del condensador en poco tiempo, alta corriente) y que la retención sea “perfecta” (buenos condensadores y altas impedancias cuando el conmutador está abierto).

Los parámetros característicos de un circuito de muestreo y retención son los intervalos de tiempo que transcurren desde que se da la orden de cambio de estado hasta que se ejecuta, *figura 33*.

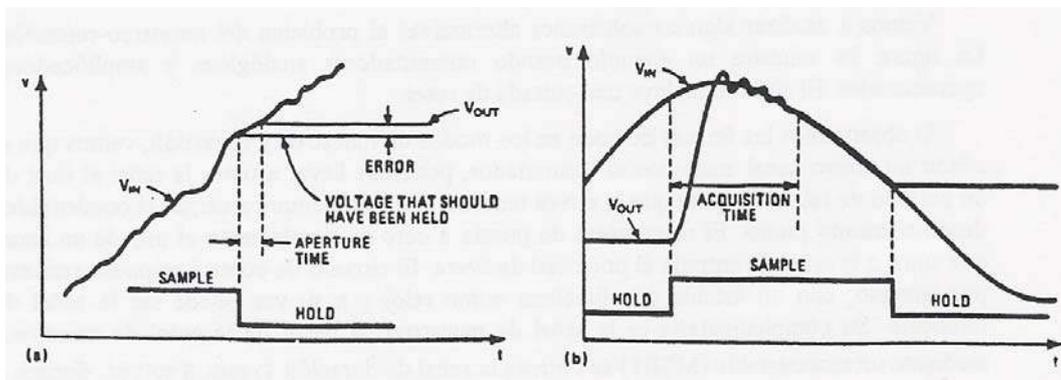


Fig. 33. Parámetros característicos de un circuito de muestreo-retención

Estos parámetros son:

Tiempo de Apertura. Está asociado al paso de muestra a retención. Es el tiempo que transcurre entre la orden de retención y la apertura real del conmutador. Este retardo lleva inherente un error en la muestra tomada. Se puede corregir adelantando la orden. Este parámetro junto con su incertidumbre asociada fija la frecuencia máxima de la señal a muestrear.

Tiempo de Adquisición. Es el tiempo necesario para abandonar el modo de retención y seguir a la señal de entrada con una determinada precisión, en espera de que llegue la orden de retención. Este parámetro depende de:

- 1) La corriente de carga disponible desde la fuente.
- 2) La resistencia del conmutador cerrado
- 3) El valor del condensador
- 4) La respuesta transitoria del amplificador

Tiempo de Retención. Es el tiempo necesario para que la salida se encuentre en un entorno de *un milivoltio* del valor final, tras la presentación del nivel lógico que ordena la retención.

Salto de Retención. Salto en la salida al producirse el paso de muestreo a retención existiendo en la entrada un cierto nivel estacionario. Por ejemplo de 5 voltios.

Velocidad de Caída (droop rate). Mide la velocidad de descarga en el condensador durante el modo de retención. Depende de la corriente de polarización del seguidor de tensión.

Existen además dos errores que caracterizan la calidad de un proceso de muestreo-retención.

Error Dinámico. Es el error introducido en la salida retenida debido a un cambio en el valor de la señal analógica de entrada cuando aparece la orden de retención. Se expresa en mV para un cierto valor del condensador.

Error de Ganancia. Se expresa como el cociente entre las excursiones de las tensiones de salida y entrada en el modo de muestreo.

Vamos a analizar algunas soluciones alternativas al problema del muestreo-retención. La *figura 34* muestra un ejemplo usando conmutadores analógicos y amplificadores operacionales. El circuito incluye una entrada de reset.

Si observamos las formas de onda en los modos de muestreo y retención, vemos que al añadir un nuevo canal analógico al conmutador, podemos llevar a tierra la señal al final de un período de retención para que la nueva muestra empiece siempre a cargar el condensador desde el mismo punto. El mecanismo de puesta a cero es simplemente el uso de un canal que suma a la señal de entrada el potencial de tierra. El circuito de control se puede realizar, por ejemplo, con un astable que actúa como reloj y que, a su vez, puede ser la señal de muestreo (señal de control del conmutador de “sample” en la *figura 34*). Esta señal de muestreo dispara a un monoestable (MSB1) que genera pulsos de duración τ_1 . La salida de MSB1, complementada, actúa como señal de retención y, a su vez, dispara a otro monoestable de duración τ_2 (MSB2). La salida de este segundo monoestable actúa de señal de reset, tal como se muestra en el cronograma de la parte inferior de la *figura 34*. Obsérvese que los conmutadores de retención deben permanecer cerrados el tiempo de muestreo (durante el cual se va cargando el condensador) y el tiempo de reset, para permitir su descarga.

Siempre que sea posible es aconsejable usar soluciones integradas o híbridas con tiempos de adquisición inferiores a 10 nseg. y tiempos de apertura inferiores a los 80 nseg. La función de muestreo-retención no se realizó inicialmente en tecnología integrada debido al alto valor de la corriente de entrada en los amplificadores realizados con tecnología bipolar. Esto exigía el uso de valores altos para la capacidad si queríamos que la caída en el modo de retención fuera baja. En consecuencia, no sólo debería ser externa la capacidad por la dificultad en integrarla sino que además, durante el modo de muestreo sería necesario suministrarle un alto valor de corriente para cargarla.

Gran parte de estos problemas se solucionaron con la tecnología BIFET que consiguió integrar en un mismo circuito transistores bipolares y de efecto campo. Los transistores de efecto campo aportan el alto valor de impedancia de entrada y la baja corriente necesaria para el uso de condensadores pequeños.

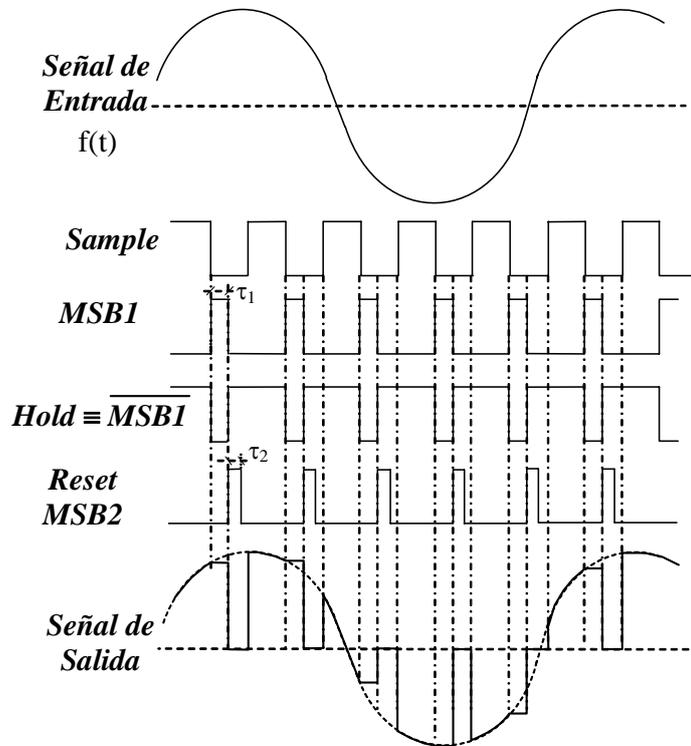
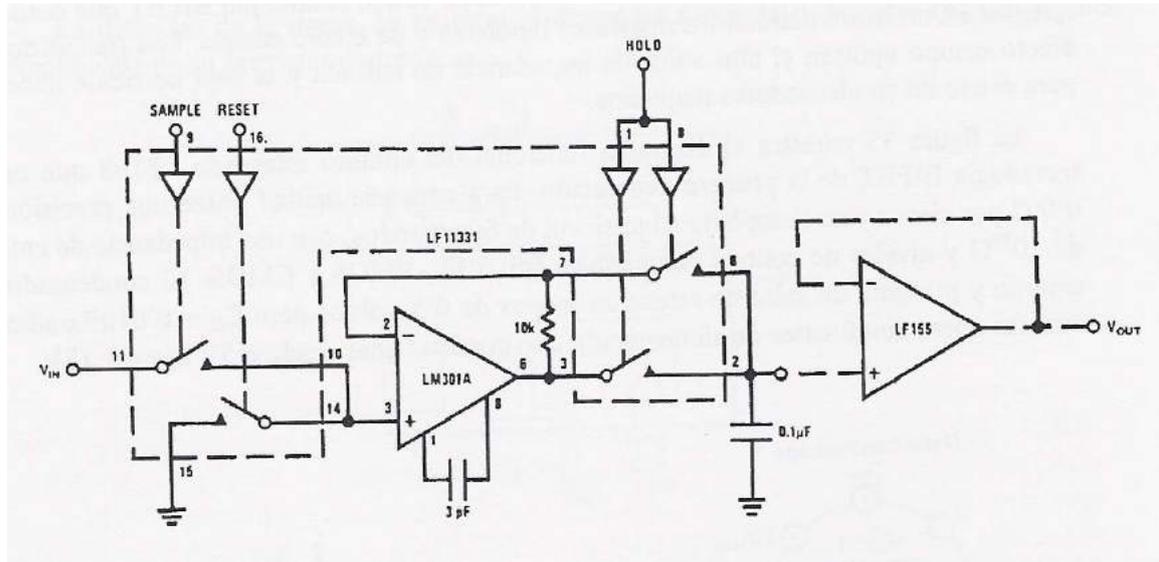


Fig. 34. Circuito de muestreo-retención con reset y formas de ondas de las señales de control, entrada y salida

La figura 35 muestra el diagrama funcional del circuito integrado LF198 que utiliza tecnología BIFET de la primera generación. Para ganancia unidad posee una precisión del 0'002 por ciento y un tiempo de adquisición de 6µsegundos, con una impedancia de entrada de $10^{10}\Omega$ y niveles de control compatibles con TTL, PMOS y CMOS. El condensador es externo y presenta un salto de retención menos de 0'5 voltios para $C_H = 0'01\mu\text{Faradio}$. El circuito opera con fuentes de alimentación que pueden variar desde $\pm 5\text{V}$ hasta $\pm 18\text{V}$.

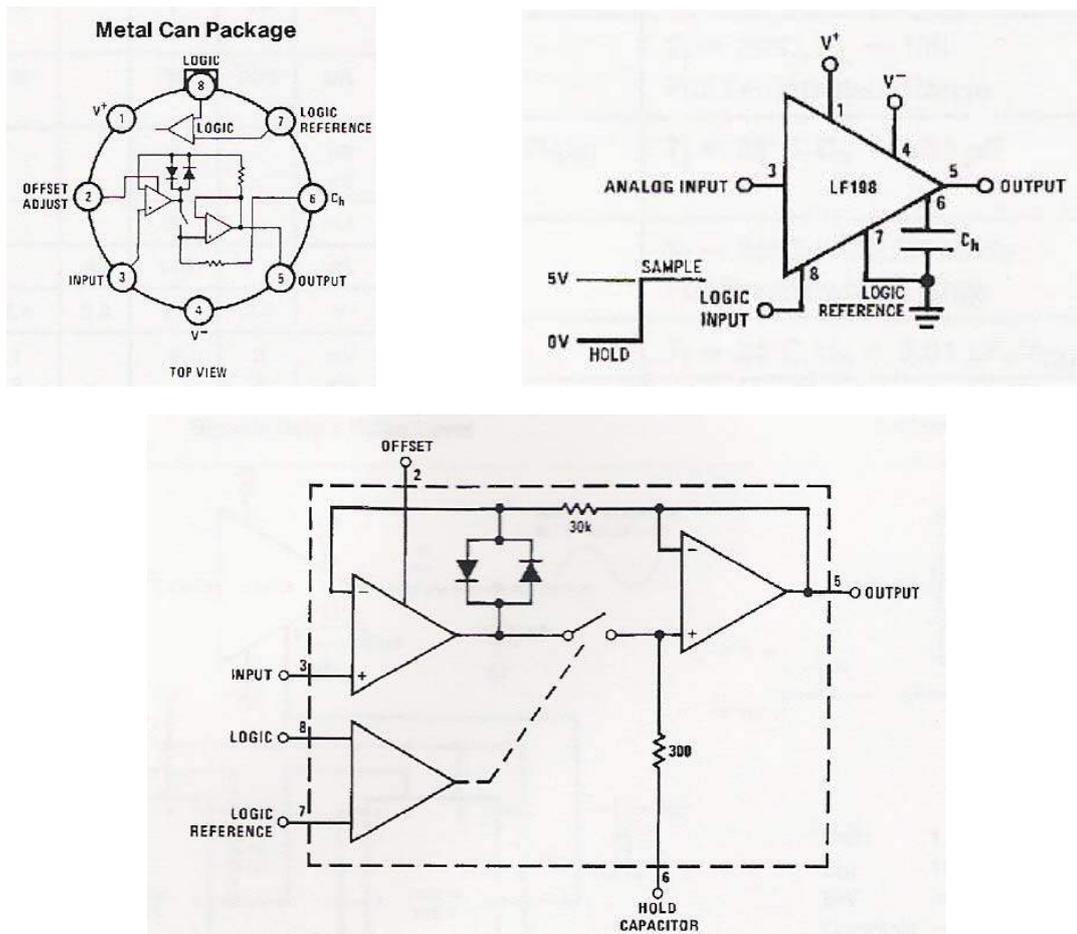


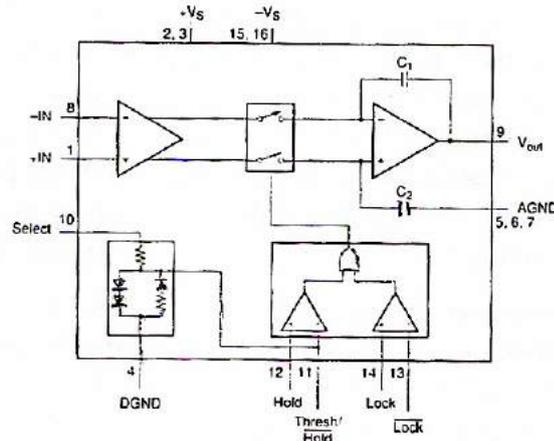
Fig. 35. Diagrama funcional del circuito LF198 junto con el esquema de conexión usual para muestreo y retención.

Hay versiones más avanzadas de circuitos de muestreo y retención que permiten no sólo mantener el valor de la muestra, sino seguir el valor de la señal (“track-and-hold amplifiers”) combinando una adquisición muy rápida (30 nseg. Hasta el 0’01%) con baja distorsión y arquitecturas muy flexibles que incluyen las configuraciones inversora, no inversora y diferencial como el circuito SHC-605 de Burr-Brown. Este circuito monolítico en tecnología bipolar complementaria es compatible con TTL y ECL y permite su uso en un conjunto de aplicaciones más amplio que la pura conversión analógico-digital de un solo canal, tales como el muestreo simultaneo de varios canales o la detección de picos.

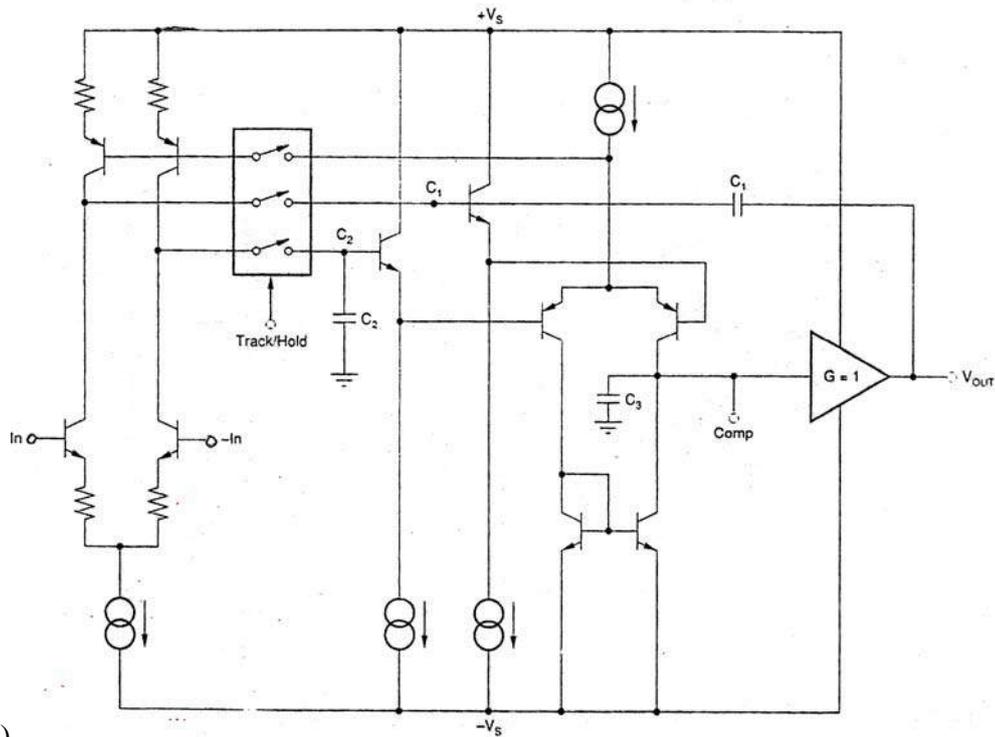
La parte (a) de la *figura 36* muestra el diagrama funcional y la parte (b) una versión simplificada de su estructura interna.

La entrada se realiza a través de un amplificador operacional de dos etapas. Las capacidades C_1 y C_2 compensan al amplificador en el modo de seguimiento (“track”) y retienen la señal analógica de salida en el modo de retención (“hold”). La conmutación desde el modo de seguimiento al de retención se realiza desconectando la etapa de entrada del amplificador del resto del circuito y aislando los condensadores C_1 y C_2 de la señal de entrada. La arquitectura de este circuito, con el amplificador diferencial de dos etapas a la entrada, permite ciertas ventajas sobre otros diseños en lazo abierto. El uso de capacidades diferenciales para la retención del valor de la señal permite corregir muchos errores de

distorsión, pérdida del valor retenido y “pedestal” (error del escalón de tensión no deseada que aparece a la salida cuando el circuito conmuta del modo de seguimiento al de retención). Además, la segunda etapa tiene un ancho de banda para ganancia unidad de 250 MHz y su ganancia en lazo abierto cae con -20 dB/década. Así, con una señal de 2.5 MHz, el voltaje en los extremos de los condensadores de retención es 100 veces menor que la señal de salida y, por consiguiente, la capacidad no lineal parásita de los transistores unidos a los condensadores de retención se reduce en gran medida eliminando así la causa dominante de la distorsión en los circuitos de muestreo-retención de alta velocidad.



(a)



(b)

Fig. 36. Circuito SHC-605. (a) Esquema funcional. (b) Estructura interna.

Dado el carácter diferencial de esta arquitectura, con este circuito podemos realizar todas las conexiones y funciones de transferencia que antes hacíamos con un amplificador

operacional convencional, sólo que ahora tenemos añadida la función de seguimiento-retención. La *figura 37* muestra las conexiones para ganancia unidad (conexión no inversora) y ganancia unidad diferencial (conexión diferencial). Obsérvese la diferencia en las conexiones. En la parte (a) de la figura sólo hay una entrada al circuito V_{IN} , en el terminal 1, mientras que en la parte (b) hay dos entradas V_{+IN} y V_{-IN} , terminales 1 y 8, como corresponde a una conexión diferencial.

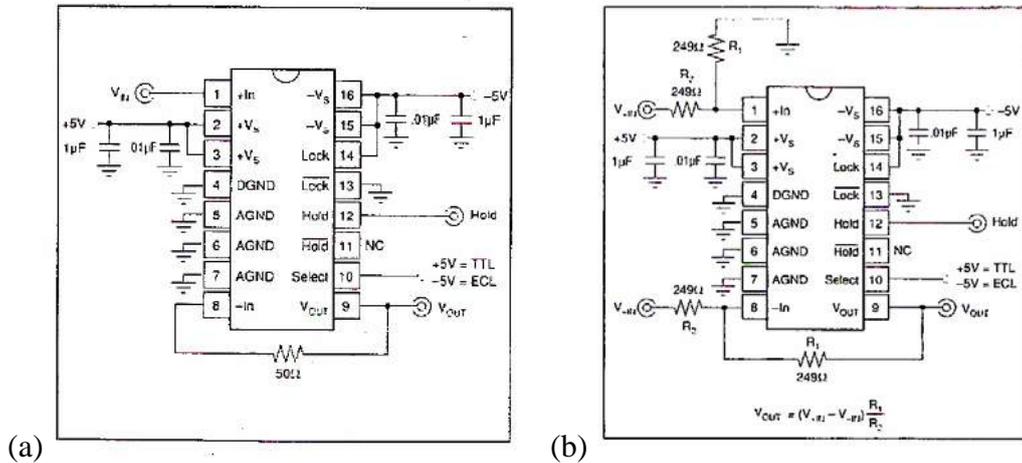


Fig. 37. Uso del circuito SHC-605 en configuraciones (a) no inversora y (b) diferencial.

Finalmente, en la *figura 38* presentamos el esquema correspondiente al muestreo simultáneo de varios canales. Hay un circuito de seguimiento-retención para cada canal y un multiplexo que yuxtapone las muestras para que otro SHC-605 las retenga de acuerdo con el periodo de muestreo de un convertor A/D.

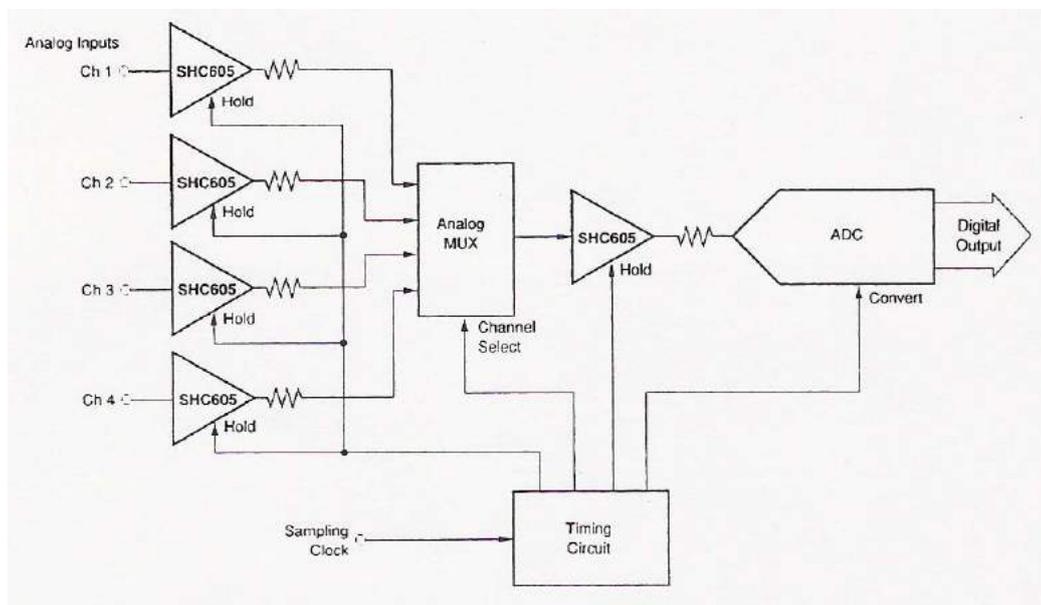


Fig. 38. Muestreo simultáneo en varios canales previo a la conversión A/D.

Como siempre que llegamos al final de un apartado conviene recordar que una vez conocidos los fundamentos y los aspectos básicos de una función electrónica, el peso

siguiente es explorar las ofertas de las casas comerciales para encontrar el circuito cuyas especificaciones funcionales lo hacen más adecuado ante un problema de diseño. Si esto es cierto en general, lo es más en el campo de la adquisición de datos analógicos donde la velocidad, precisión, coste y compatibilidad con procesadores digitales específicos, hacen muy dinámica la oferta. Para el circuito que hemos comentado y otros análogos puede consultarse: <http://www.burr-brown.com>

